

ニューロン CMOS インバータを用いた 高速 NAND 型 CAM の検索動作特性

小林貴裕*1, 吉田正廣*2

Retrieval Operating Characteristics of a High Speed NAND Type CAM Using Neuron CMOS Inverters

by

Takahiro KOBAYASHI*1 and Masahiro YOSHIDA*2

(received on March 26, 2010 & accepted on June 30, 2010)

Abstract

In content addressable memory (CAM), large amounts of stored data are compared with an input data in parallel, and the contents and/or the addresses of any matches are then output. Such lookup capability is useful in many applications, including cache tag tables, image pattern recognition, packet switching in communication networks and hardware data base accelerators.

We have previously proposed a high speed NAND type CAM using neuron CMOS inverters. In this paper, we examine in detail retrieval operating characteristics of the proposed CAM and the conventional NAND type CAM by HSPICE simulations. The results show that the proposed CAM can retrieve faster than the conventional CAM even if the number of bits in a word increases.

Keywords: Neuron CMOS Inverter, Content Addressable Memory, Retrieval Speed, CAM

キーワード:ニューロン CMOS インバータ, 内容照合メモリ, 検索速度, CAM

1. まえがき

CAM(Content Addressable Memory)は、記憶データと検索データを完全並列に照合し、それらの間に一定の関係がある記憶データを読み出す機能を有している。このため CAM は、データベースマシン、画像処理装置、通信ネットワーク、キャッシュメモリ等の重要な構成要素として研究開発が進められている[1]~[3]。今日広く用いられている CAM は、検索データと記憶データを照合する検索回路部が NOR 構造のものである(以下では NOR・CAM と略記する)。この NOR・CAM は、検索速度は速いが消費電力が大きい問題がある。この問題点を改善したものとして、検索回路部を NAND 構造にした CAM が提案されている(以下では NAND・CAM と略記する)。しかし、この NAND・CAM は NOR・CAM よりも消費電力は極めて小さいが、1ワードを構成するビット数が増加するほど検索速度が遅くなる問題がある[4]。このような背景から、筆者らは、従来の NAND・CAM よりも検索速度の速いニューロン CMOS インバータ(以下では vCMOS インバータと略記する)を用いた新しい CAM を提案した(以下では vCMOS・CAM と略記する)[5]。本文では、筆者らが提案した vCMOS・CAM の検索動作を理論的に明らかにする。また、NOR・CAM, NAND・CAM 及び vCMOS・CAM の検索速度と消費電力を HSPICE を用いたシミュレーションによって詳細に検討し、提案 CAM の有用性を示す。

2. 従来 CAM の構成と問題点

*1 工学研究科情報通信制御システム工学専攻修士課程

*2 情報通信学部組込みソフトウェア工学科教授

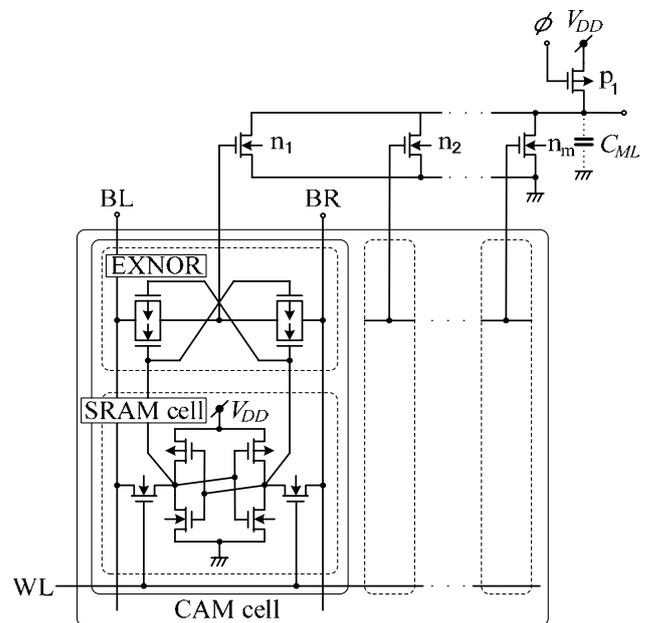


図1 NOR・CAM の構成

図1に従来の NOR・CAM の1ワードの構成を示す。ただし、1ワードは $m(m \geq 1)$ ビットとする。この CAM は CAM セルアレイ、検索回路部を構成するプルダウン nMOS トランジスタ n_1, n_2, \dots, n_m 、プルアップ pMOS トランジスタ p_1 、プリチャージキャパシタ C_{ML} から成る。ここで WL はワード選択線、BL, BR は各ビットのビット選択線である(以下同様)。

この NOR・CAM の場合には、記憶データと検索データ

の間に1ビット以上の不一致があると $n_1 \sim n_m$ のいずれかが導通し、 C_{ML} に蓄えられた電荷が放電される。一方、記憶データと検索データが完全に一致している場合には、 $n_1 \sim n_m$ が全て非導通になるために C_{ML} に蓄えられた電荷は保持される。一般に、検索データと記憶データが“不一致であるワード数”は“一致であるワード数”より圧倒的に多くなる。したがって、この CAM の場合にはワード数の増加とともに消費電力が大きくなる欠点がある。しかし、この NOR・CAM の場合には $n_1 \sim n_m$ が並列接続されているため、1ワードを構成するビット数が増えても検索速度が増加しないという利点がある。

図2は NOR・CAM の消費電力の問題を改善した NAND・CAM の構成図である。この CAM の場合には検索回路部のプルダウン用トランジスタ $n_1 \sim n_m$ が直列接続されている。

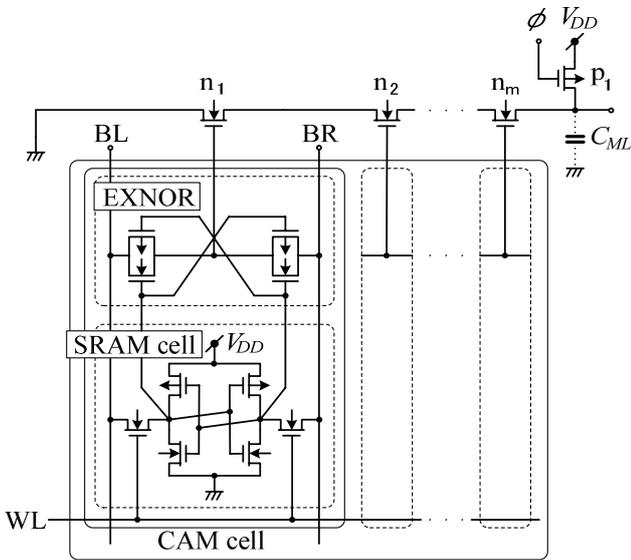


図2 NAND・CAM

この NAND・CAM の場合には記憶データと検索データが完全一致した場合のみ $n_1 \sim n_m$ が導通し、 C_{ML} に蓄えられている電荷が放電する。そのため、この CAM の消費電力は極めて小さいという特徴がある。しかし、この CAM の場合には C_{ML} に蓄えられていた電荷が、直列接続されたプルダウン用トランジスタ $n_1 \sim n_m$ を介して放電するため、ビット数 m の増加と共に検索速度が遅くなる欠点がある。

また、この CAM にはチャージ分割という問題が生じる場合がある。すなわち、記憶データと検索データが完全一致でない場合、 C_{ML} に近いプルダウン用 nMOS トランジスタが導通状態になると、 C_{ML} に蓄えられた電荷が導通した nMOS トランジスタのドレイン容量、ソース容量、配線容量によって分割されるために C_{ML} の端子間電圧が低下し、誤動作の原因になることがある。

3. 提案 CAM の構成と検索動作

図3は従来の NAND・CAM の問題点を解決するために、検索回路部に vCMOS インバータを用いた提案 CAM (vCMOS・CAM) の構成図である[5]。

提案 CAM は CAM セルアレイ、vCMOS インバータ、ラ

ッチ回路とその制御回路から構成される。同図中 V_1, V_2, \dots, V_m (m は1ワードのビット数) は検索データと記憶データの EXNOR に対応する電圧、 V_{OUT} はラッチ回路の出力電圧、 V_{SW}, V_{CUT} は vCMOS インバータとラッチ回路の制御電圧である。さらに、 C_1, C_2, \dots, C_m は EXNOR 出力端子とフローティングゲート間の容量、 C_{AGR} はアースとフローティングゲート間の容量、 C_{OUT} はラッチ回路の出力端子の寄生容量である。

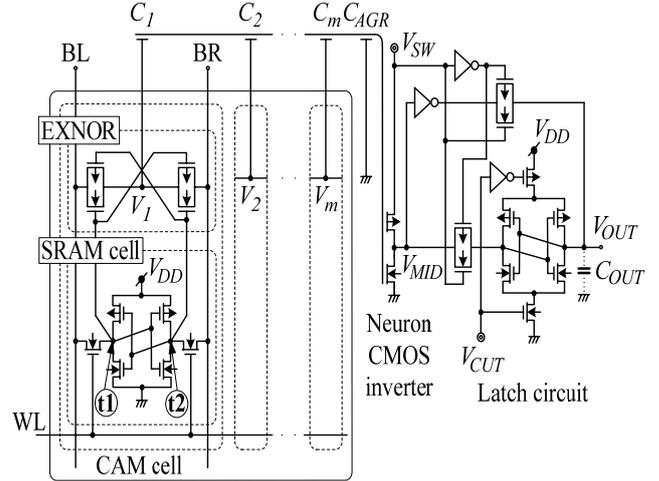


図3 提案 vCMOS・CAM

以下の解析では、図3中の節点 t1 の電圧が 0[V]、節点 t2 の電圧が V_{DD} [V] の場合、CAM セルの記憶データを“0”とし、電圧関係がその逆の場合、CAM セルの記憶データを“1”と定義する。また、“1”を検索する場合にはビット選択線 BL に V_{DD} [V]、BR に 0[V]、“0”を検索する場合には BL に 0[V]、BR に V_{DD} [V] を印加する。さらに、検索の際に1ワードの中の特定のビットにマスクを掛ける場合には、当該ビットのビット選択線 BL, BR に V_{DD} [V] の電圧を印加すると定義する。

図3において、記憶データと検索データが完全に一致した場合と1ビット不一致の場合を区別できるように $C_1, C_2, \dots, C_m, C_{AGR}$ を以下のように定める：

$$C_1 = C_2 = \dots = C_m = C$$

$$C_{AGR} = (m-1)C$$

上記のようにそれぞれの容量の値を設定すると、vCMOS インバータのフローティングゲートの電位 ϕ_F は次式で与えられる[6]~[8]。

$$\phi_F = \frac{C}{C_T} \sum_{i=1}^m V_i \quad (1)$$

ただし、

$$C_T = C_0 + (2m-1)C \quad (2)$$

であり、 C_0 は vCMOS インバータのフローティングと基板間の容量である[6]。ここで、vCMOS インバータのフローティングゲート利得係数 γ_{INV} は次式で与えられる[8]。

$$\gamma_{INV} = \frac{C_T - C_0}{C_T} \quad (3)$$

式(2)と式(3)より、次式が得られる。

$$\frac{C}{C_T} = \frac{\gamma_{INV}}{(2m-1)} \quad (4)$$

式(4)を式(1)に代入すると、 ϕ_F は次のようになる。

$$\phi_F = \frac{\gamma_{INV}}{(2m-1)} \sum_{i=1}^m V_i \quad (5)$$

また、図 3 より CAM セルアレイの EXNOR の出力電圧の総和を求めると次式が得られる。

$$\sum_{i=1}^m V_i = (m - D_{MM})V_{DD} \quad (6)$$

ただし、 D_{MM} は検索データと記憶データ間の不一致ビットの数である。さらに、式(6)を式(5)に代入すると、 ϕ_F は次式で与えられる。

$$\phi_F = \frac{m - D_{MM}}{2m - 1} \gamma_{INV} V_{DD} \quad (7)$$

ここで、ノイズマージンを最大にした場合の vCMOS インバータの反転しきい電圧 V_{INV} は次式で与えられる[8]。

$$V_{INV} = \frac{1}{2} \gamma_{INV} V_{DD} \quad (8)$$

式(7)の ϕ_F の値が式(8)の V_{INV} を超えるかどうかで、vCMOS インバータの出電圧 V_{MID} が決まる。すなわち、検索データと記憶データを比較した結果、それらが完全一致している場合には $D_{MM}=0$ なので、式(7)と式(8)より $\phi_F > V_{INV}$ になる。したがって、図 3 中の vCMOS インバータの nMOS (v-nMOS と略記する) が導通し、 V_{MID} は 0[V]に向かって下降する。この電圧がトランスミッションゲートを介してラッチ回路へ伝達されるため、ラッチ回路の出力電圧 V_{OUT} は V_{DD} [V]に向かって上昇する。

一方、検索データと記憶データを比較した結果、それらの間に 1 ビット以上の不一致ビットがある場合には $D_{MM} \geq 1$ なので、式(7)と式(8)より $\phi_F < V_{INV}$ となり、vCMOS インバータの pMOS (v-pMOS と略記する) が導通し V_{MID} は V_{DD} [V]に向かって上昇する。この電圧がトランスミッションゲートを介してラッチ回路へ伝達されるため、ラッチ回路の出力電圧 V_{OUT} は初期値である 0[V]を保持する。したがって、この V_{OUT} を検出することによって、検索データと記憶データ間の一致/不一致を判別することができる。

4. HSPICE によるシミュレーション結果

記憶データの検索を行う際には WL, BL, BR に 0[V]を印加し、 $V_{SW}=0$ [V]、 $V_{CUT}=V_{DD}$ [V]として回路をリセット状態にする。その後、BL と BR に検索データに対応する電圧を印加し、 $V_{SW}=V_{CUT}=V_{DD}$ [V]とすることで検索結果をラッチ回路に取り込むことができる。これらの動作を HSPICE によってシミュレーションした結果を図 4, 図 5 に示す。主なシミュレーション条件は表 1 に示す通りである。

図 4 は 1 ワード 8 ビットの場合の提案 CAM の出力電圧 V_{OUT} の波形である。検索データと記憶データが完全に一致している場合には V_{OUT} が L レベル (0[V]) から H レベル

(V_{DD} [V]) に変化し、1 ビット不一致の場合には V_{OUT} の電圧は L レベルのままであることから、提案 CAM は理論通りに動作していることが分かる。

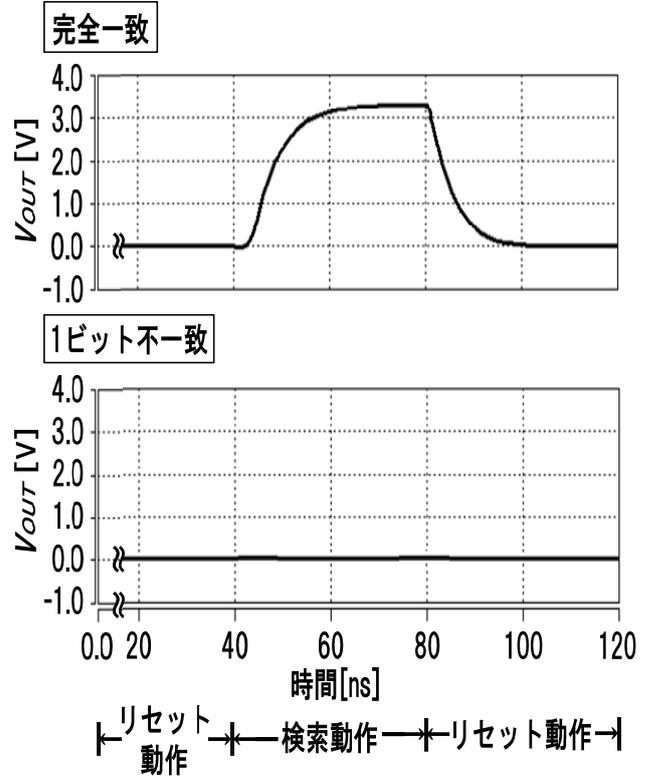


図4 提案CAMの動作波形 (8ビットの場合)

図5は1ワードのビット数を32に拡張した時の出力電圧の波形である。同図から分かるようにビット数を32にまで拡張した場合でも、提案CAMは設計通りの動作をすることが分かる。

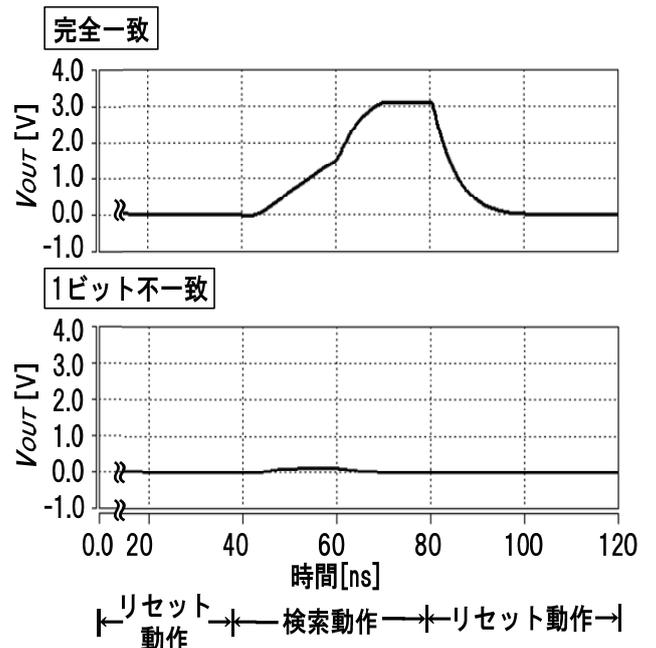


図5 提案CAMの動作波形 (32ビットの場合)

図6は1ワードを構成するビット数を8ビットから32ビットまで変化させたときの提案CAMと従来CAM (NOR・CAMとNAND・CAM) の検索時間特性である。この図から明らかかなように、NOR・CAMの検索速度が最も速く、次は提案vCMOS・CAMであり、最も遅いのがNAND・CAMである。NOR・CAMはプルダウン用nMOSトランジスタが並列接続されているため、非常に高速な検索を可能にしている。一方、NAND・CAMはプルダウン用nMOSトランジスタが直列接続されているため、検索時間が最も遅く、1ワードを構成するビット数が多くなればなるほど検索時間も遅くなっている。これに対して、vCMOS・CAMは1個のv-nMOSまたはv-pMOSを介してvCMOSインバータの出力端子の寄生容量の充電と放電を行うため、NAND・CAMよりも検索時間は速く、しかもその検索時間は1ワードを構成するビット数に無関係でほぼ一定になる。したがって、提案CAMは検索速度の面でNAND・CAMよりも優れていることが分かる。

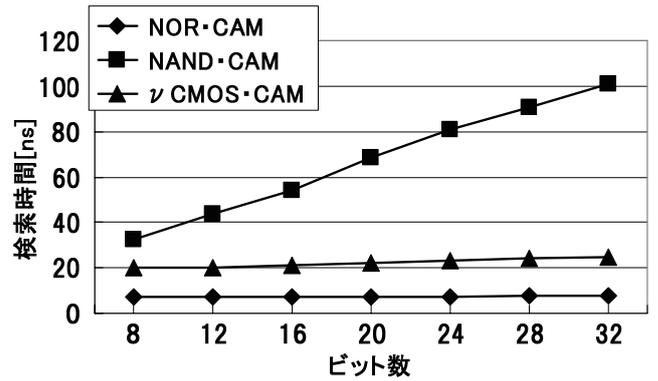


図6 検索時間の比較

次に、従来CAMと提案CAMの消費電力について検討する。図7は1ワードを32ビット構成とし、記憶データと検索データ間の不一致ビットの数を0~32まで変化させたときの1ワードの消費電力特性である。同図より、NAND・CAMは不一致ビットの数が0の場合（検索データと記憶データが完全に一致している）以外は殆ど電力を消費しないことが分かる。また、vCMOS・CAMの場合には、不一致ビット数の増加と共に消費電力が大きく減少するが、NOR・CAMの場合には不一致ビット数が0の場合以外は常に一定の電力を消費していることが分かる。ここで、消費電力の平均値（0~32ビットまでの消費電力を平均した値）を求めると、従来のNOR・CAMが28.8[μW]と最も大きく、最も小さいのはNAND・CAMであり、その値は4.6[μW]となる。これに対してvCMOS・CAMの値は9.6[μW]と、NOR・CAMとNAND・CAMの中間値を取る。

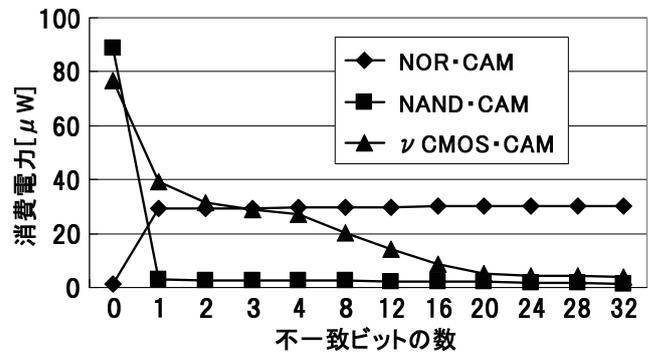


図7 不一致ビット数を変化した場合の消費電力特性

図8は1ワードのビット数を32、記憶データと検索データ間の不一致ビットの数を1に設定し、vCMOS・CAMのワード数を10から1Mまで増加した場合の消費電力特性である。同図より明らかかなように、ワード数が増加すればするほど、NAND・CAMやvCMOS・CAMに比べ、NOR・CAMの消費電力が大きく増大することが分かる。これは、図7にも示したように、NOR・CAMの場合には検索データと記憶データ間に1ビットでも不一致ビットがあるとC_{ML}に蓄えられていた電荷が放電し、電力を消費するためである。一般に、検索データと記憶データが“不一致であるワード数”は、“一致であるワード数”よりも極めて多くなる。したがって、消費電力の観点から考えると、ワード数が多くなればなるほど、NOR・CAMに比べ、NAND・

表1 シミュレーション条件

記号	パラメータ名	値	単位
V_{DD}	電源	3.3	V
m	1ワードのビット数	8~32	Bit
C_{ML}	従来回路の寄生容量	1	pF
C	CAMセルとフローティングゲート間の容量	0.5	pF
C_{AGR}	アースとフローティングゲート間の容量	3.5	pF
C_{out}	提案回路の寄生容量	1	pF
MOSトランジスタ			
t_{ox}	シリコン酸化膜の膜厚	70	Å
ϵ_0	真空中の誘電率	8.854×10^{-14}	F/cm
ϵ_{ox}	シリコン酸化膜の比誘電率	3.9	-
nMOS			
L_n	チャネル長	0.4	μm
W_n	チャネル幅	1	μm
pMOS			
L_p	チャネル長	0.4	μm
W_p	チャネル幅	3	μm
v-nMOS			
L_{nv}	チャネル長	0.4	μm
W_{nv}	チャネル幅	1	μm
v-pMOS			
L_{pv}	チャネル長	0.4	μm
W_{pv}	チャネル幅	3	μm

CAM や vCMOS・CAM が有利であると言える。

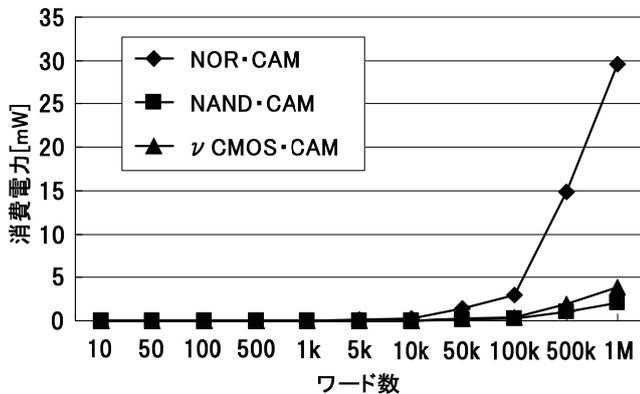


図 8 ワード数を変化した場合の消費電力特性

5. まとめ

筆者らが提案した vCMOS・CAM の検索動作を理論的に明らかにした。また、従来の CAM (NOR-CAM と NAND-CAM) と提案 CAM (vCMOS・CAM) の検索速度と消費電力を HSPICE を用いたシミュレーションによって詳細に検討した。

その結果、提案 CAM が設計通りに動作することを確認した。また、提案 CAM は従来の NAND-CAM よりも検索速度の面で優れていることを明らかにした。さらに、提案 CAM の消費電力は NAND-CAM よりも大きいが、NOR-CAM よりも小さく、この特徴は CAM を構成するワード数が多くなるほど顕著になることを示した。

今後は、提案 CAM を試作し、実チップでの性能評価及び提案 CAM の応用について研究を行う予定である。

参考文献

- [1] T. Ogura and M. Nakanishi, "CAM-Based Highly-Parallel Image Processing Hardware", IEICE Trans. Electron, Vol.E80-C, No.7, pp.868-874, July 1997.
- [2] S. Azgomi, "Using Content-Addressable Memory for Networking Applications", Communication System Design(CSD), Vol.5, No.11, Nov. 1999.
- [3] H. Miyatake, M. Tanaka, and Y. Mori, "A Design for High-Speed Low-Power CMOS Fully Parallel Content-Addressable Memory Macros", IEEE Journal of Solid-State Circuits, Vol.36, No.6, June 2001.
- [4] K. Pagiamtzis and A. Sheikholeslami, "Content Addressable Memory(CAM) Circuits and Architectures : A Tutorial and Survey" IEEE Journal of Solid-State Circuits, vol41, No.3, pp.712-727, March 2006.
- [5] 小林貴裕, 吉田正廣, "ニューロン CMOS インバータを用いた高速 NAND 型 CAM", 電子情報通信学会論文誌 C, Vol.J93-C, No.5, pp.175-176, May 2010.
- [6] T. Shibata and T. Ohmi, "Neuron MOS binary logic integrated circuits : Part I , Design fundamentals and soft-hardware-logic circuit implementation," IEEE Transac-

tions on Electron Devices, vol40, No.3, pp.570-576, March 1993.

- [7] T. Ochiai and H. Hatano, "A Proposition on Floating Gate Neuron MOS Macromodeling for Device Fabrications", EICE Trans Fundamentals, Vol.E82-A, No.11 November 1999.
- [8] T. Shibata and T. Ohmi, "A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations," IEEE Transactions on Electron Devices, vol.39, No.6, pp.1444-1455, June 1992.