

# 対称型 NOR アーキテクチャを用いた ハミング距離検索機能付き CAROM の提案

福原 雅朗<sup>\*1</sup>, 平谷 真之<sup>\*2</sup>, 杉山 健太郎<sup>\*2</sup>, 恩地 夏央<sup>\*2</sup>, 藏野 貴教<sup>\*2</sup>

## Proposal of a Hamming Distance Search CAROM with Symmetric NOR-Architecture

by

Masaaki FUKUHARA<sup>\*1</sup>, Masayuki HIRATANI<sup>\*2</sup>, Kentaro SUGIYAMA<sup>\*2</sup>,  
Nao ONJI<sup>\*2</sup> and Takanori KURANO<sup>\*2</sup>

(received on Mar.31, 2017 & accepted on May 23, 2017)

### あらまし

従来のNORアーキテクチャによるハミング距離検索機能付きCAROM (Content Addressable Read Only Memory:内容照合ROM) は、一致線及び参照線のトランジスタ数の差異や製造プロセスにおける特性ばらつきなどの影響下でも正常に照合動作を行うため、一致線及び参照線にそれぞれダミーキャパシタを付加していた。本文では、一致線及び参照線に接続されるトランジスタの数や寸法を均等にし、それらを対称的に配置することで、ダミーキャパシタを用いなくても、従来と同様の照合動作を安定して行える、新たなハミング距離検索機能付きCAROMを提案する。また、提案CAROMの照合動作をHSPICEシミュレーションにより検証し、その有用性を明らかにする。

### Abstract

In conventional Hamming distance search CAROMs with NOR architecture, the dummy capacitors on a match line and reference line are required to stabilize the interrogation operations against the difference of the number of transistors and process variation. In this paper, we propose a new CAROM with the Hamming distance search function. The proposed CAROM can stably behave interrogation operations without the dummy capacitors by using symmetrical NOR-architecture. Also, the interrogation operations of the CAROM are confirmed by HSPICE simulations.

**キーワード:** 内容照合メモリ, CAROM, ハミング距離, あいまい検索, NOR 構造

**Keywords:** Content Addressable Memory, CAROM, Hamming distance, Fuzzy search, NOR-architecture

## 1. はじめに

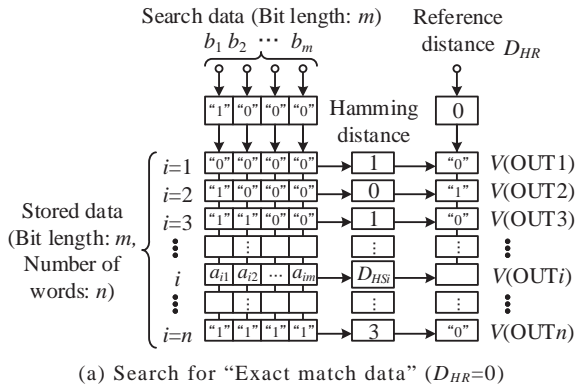
あいまい検索が可能なハードウェアであるハミング距離検索機能付きCAM (Content Addressable Memory: 内容照合メモリ) (以下、H-CAMと略記)、あるいはメモリセル部にROMを適用したハミング距離検索機能付きCAROM (以下、H-CAROM) は、画像認識や辞書検索、パケットルーティングなどの分野で有用とされており、ビッグデータの発展に伴いその重要性が一層高まる現在、様々な回路が研究されている<sup>1)-4)</sup>。文献4)では、一致線 (Match line) にNORアーキテクチャを用いた手法が提案されている。このNOR型回路を用いると、記憶データと検索データ間のハミング距離に対応したアナログ電圧が段階的に生成される。

それらの一致線電圧を判別する方法として、(A)フラッシュ型ADC形式<sup>4)</sup>、(B)ニューロンCMOS型ADC形式<sup>5)</sup>、(C)アナログコンパレータ形式<sup>6)-9)</sup>などが報告されている。(A)と(B)の場合には、チップ製造プロセスで生じるしきい電圧や寄生容量のランダムばらつきの影響で、実チップの一致線電圧が大きく変動するため、設計が困難である。これに対し、(C)の場合には、一致線電圧に対して一定の電位差が得られるよう設計された基準電圧 (参照線電圧) に基づいて判別するため、(A)と(B)の手法に比べて安定した検索動作 (照合動作) を行うことができる。また、一層の安定性を確保するため、文献8)のH-CAM、及び低電力化のためプリチャージ回路を用いた文献9)のH-CAROMでは、一致線・アース間及び参照線・アース間にダミーキャパシタを挿入している。

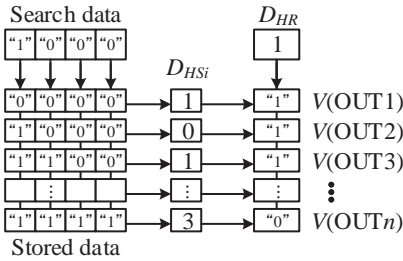
本論文では、対称型NORアーキテクチャを用いた新しいH-CAROMを提案する。提案回路は、一致線及び参照線にNOR構造で接続されるトランジスタの個数や寸法を均一にし、それらを対称的に配置することで、ダミーキャパシタを用いなくても一致線電圧と参照線電圧の電位差を確保し、より安定した照合動作が実現できる。本文ではHSPICEシミュレーションにより、

\*1 情報通信学部組込みソフトウェア工学科 講師  
School of Information and Telecommunication  
Engineering, Department of Embedded Technol-  
ogy, Junior Associate Professor

\*2 情報通信学部組込みソフトウェア工学科  
School of Information and Telecommunication  
Engineering, Department of Embedded Technol-  
ogy



(a) Search for “Exact match data” ( $D_{HR}=0$ )



(b) Search for “Similar data” (example:  $D_{HR}=1$ ) ( $i=1, 2, \dots, n$ )

Fig.1 Algorithm of Hamming distance search CAROM

Table 1 Relationships between  $D_{HSi}$ ,  $D_{HR}$  and  $V(OUTi)$  ( $i=1, 2, \dots, n$ )

	Relationships between $D_{HSi}$ and $D_{HR}$	Output voltage $V(OUTi)$
Case-1	$D_{HSi} \leq D_{HR}$	Logic “1” ( $V_{DD}$ )
Case-2	$D_{HSi} > D_{HR}$	Logic “0” (0[V])

提案回路の動作を検証している。

## 2. 従来の NOR アーキテクチャ型 H-CAROM

### 2.1 H-CAROM におけるハミング距離検索動作

H-CAROM は、マスク ROM が持つ“記憶機能”，“読み出し機能”に加えて，“ハミング距離検索機能”がある。“ハミング距離検索機能”は、メモリセルアレイの記憶データ (Stored data) と外部からの検索データ (Search data) とを並列に照合し、それらのハミング距離が一定の値以内、すなわち検索データと類似した記憶データを、高速かつ効率的に検索できる。

ここで、メモリセルアレイの構成としてビット長  $m$ 、ワード数  $n$  の記憶データ  $a_{ij}$  ( $i=1, 2, \dots, n, j=1, 2, \dots, m$ ) を持つ H-CAROM に対し、ビット長  $m$  の検索データ  $b_j$  ( $j=1, 2, \dots, m$ ) を外部から印加して、“ハミング距離検索”を行う場合を考える。ハミング距離 (Hamming distance)  $D_{HSi}$  ( $i=1, 2, \dots, n$ ) とは不一致ビットの総数であり、

$$D_{HSi} = \sum_{j=1}^m a_{ij} \oplus b_j, \quad (i = 1, 2, \dots, n) \quad (1)$$

で与えられる類似性の尺度である。式(1)において、 $\oplus$  は EXOR (EXclusive-OR: 排他的論理和) 演算子であ

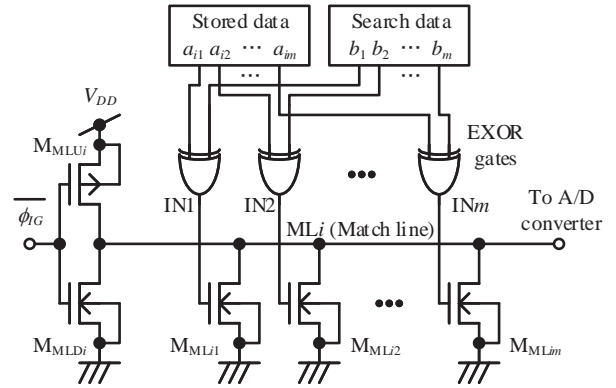


Fig.2 NOR-architecture circuit around match line in conventional H-CAM<sup>4)</sup> ( $i=1, 2, \dots, n$ )

り、 $a_{ij}$  と  $b_j$  の論理値が一致している場合は論理“0”，不一致の場合は論理“1”となる。式(1)より、 $D_{HSi}$  ( $i=1, 2, \dots, n$ ) が取り得る値は  $0, 1, 2, \dots, m$  のいずれかである。例えば、Fig.1(a)のように  $m=4$  とし、 $i=1$  ワード目の記憶データ (“ $a_{11}a_{12}a_{13}a_{14}$ ”=“0000”) に対し検索データ (“ $b_1b_2b_3b_4$ ”=“1000”) を印加した場合のハミング距離  $D_{HS1}$  は 1 である。同様に、 $i=2$  の記憶データ (“ $a_{21}a_{22}a_{23}a_{24}$ ”=“1000”) は検索データと完全に一致しているので、 $D_{HS2}=0$  となる。その他の  $D_{HSi}$  ( $i=3, \dots, n$ ) は Fig.1(a)中に示すとおりである。なお、ここでの説明例では、検索データと完全一致の記憶データ (“1000”) は 2 ワード目にしかないものとする。

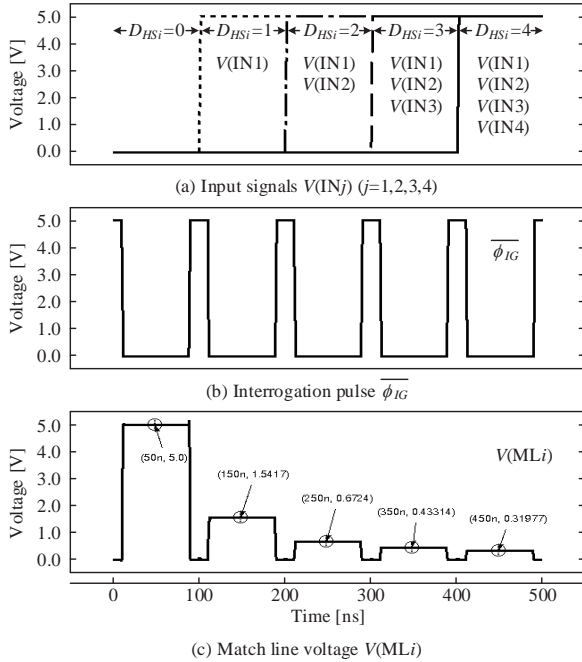
このとき、参照距離 (Reference distance)  $D_{HR}$  を任意の値に設定すると、CAROM は全ワードの  $D_{HSi}$  ( $i=1, 2, \dots, n$ ) と  $D_{HR}$  とを一斉に比較し、Table 1 に基づいた論理値を出力電圧  $V(OUTi)$  ( $i=1, 2, \dots, n$ ) として出力する。例えば、Fig.1(a)のように  $D_{HR}$  を 0 と設定した場合、2 ワード目のハミング距離  $D_{HS2}$  は 0 であり Case-1 を満たすことから、 $V(OUT2)$  は論理“1”となる。一方、その他のワードのハミング距離  $D_{HSi}$  ( $i=1, 3, \dots, n$ ) は 1 以上であることから  $D_{HSi} > D_{HR}$  ( $i=1, 3, \dots, n$ ) を満たし、Case-2 に該当するため  $V(OUTi)$  ( $i=1, 3, \dots, n$ ) は全て論理“0”を出力する。以上が“完全一致検索機能”である。

これに対し、Fig.1(b)のように  $D_{HR}$  を 1 と設定した場合、Table 1 の条件から、完全一致ワードの  $V(OUT2)$  だけでなく、ハミング距離が 1 である  $V(OUT1)$  と  $V(OUT3)$  などにもフラグが立つ。このように、検索データと完全一致の記憶データに加え、任意に参照距離を設定することで、検索データと類似したデータを検索できるのが“ハミング距離検索機能”である。

なお、H-CAM や H-CAROM を含む一般の CAM では、記憶データとして論理“1”と“0”の 2 値だけでなく、第 3 の論理値ともいえる “\*(Don’t care)” を扱うことができる場合がある。また、検索データとして特定のビットを検索対象から除外するマスク機能を有する CAM や CAROM も存在する。これらの機能については提案回路の項にて詳述する。

Table 2 Device parameters and simulation conditions for Fig.3  
 ( $i=1,2, \dots, n$ )

Symbol	Name	Value	Unit
$V_{DD}$	Power supply voltage	5.0	V
$m$	Number of bits	4	Bit
$(W/L)_{MLij}$ ( $j=1,2,3,4$ )	Width/Length of $M_{MLi1}$ , $M_{MLi2}$ , $M_{MLi3}$ and $M_{MLi4}$	4/2	$\mu\text{m}$
$(W/L)_{MLDi}$	Width/Length of $M_{MLDi}$	2/2	$\mu\text{m}$
$(W/L)_{MLUi}$	Width/Length of $M_{MLUi}$	8/2	$\mu\text{m}$


 Fig.3 Simulated waveforms of conventional NOR-architecture circuit ( $i=1,2, \dots, n$ )

## 2.2 NOR アーキテクチャとハミング距離検索

“ハミング距離検索機能”を実現する CAM として、検索用回路部分に NOR アーキテクチャを用いることが文献 4) で提案された。文献 4) の回路の中で、NOR アーキテクチャで構成された一致線周辺の回路図を Fig.2 に示す。Fig.2 の回路に関して、 $i$  ( $i=1,2, \dots, n$ )ワード目の記憶データ  $a_{ij}$  ( $j=1,2, \dots, m$ )と検索データ  $b_j$  ( $j=1,2, \dots, m$ )とのハミング距離  $D_{HSi}$  に対する一致線電圧  $V(MLi)$  の変化を表すため、Table 2 の条件で HSPICE シミュレーションを行なった。また、デバイスパラメータは、北九州学術研究都市・共同研究開発センター（ひびきの）より提供されている、最小ゲート長  $2\mu\text{m}$ 、2 層メタル、1 層ポリシリコン、CMOS プロセスのデータを用いた。なお、Fig.2 では EXOR ゲートによって検索データと記憶データの一致/不一致を求めているが、本シミュレーションでは、EXOR ゲートの出力を NOR 型回路の入力信号(Input signals)  $IN_j$  ( $j=1,2, \dots, m$ ,  $m=4$ )とみなし、Table 3 に示した電圧  $V(IN_j)$  ( $j=1,2,3,4$ )を Fig.3(a)のタイミングで印加した。

この回路は、照合パルス  $\phi_{IG}$  (Fig.3(b)) がハイレベ

 Table 3 Simulated results of Match line voltage.  $V(MLi)$   
 ( $i=1,2, \dots, n$ )

Hamming distance $D_{HSi}$	Input signals				Match line voltage $V(MLi)$
	$V(IN1)$	$V(IN2)$	$V(IN3)$	$V(IN4)$	
0	0[V]	0[V]	0[V]	0[V]	5.000 [V]
1	$V_{DD}$	0[V]	0[V]	0[V]	1.542 [V]
2	$V_{DD}$	$V_{DD}$	0[V]	0[V]	0.672 [V]
3	$V_{DD}$	$V_{DD}$	$V_{DD}$	0[V]	0.433 [V]
4	$V_{DD}$	$V_{DD}$	$V_{DD}$	$V_{DD}$	0.320 [V]

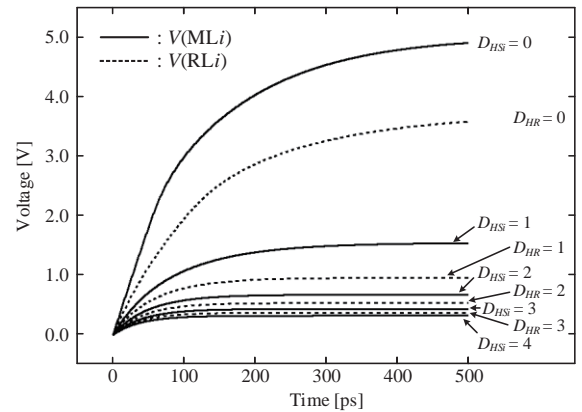
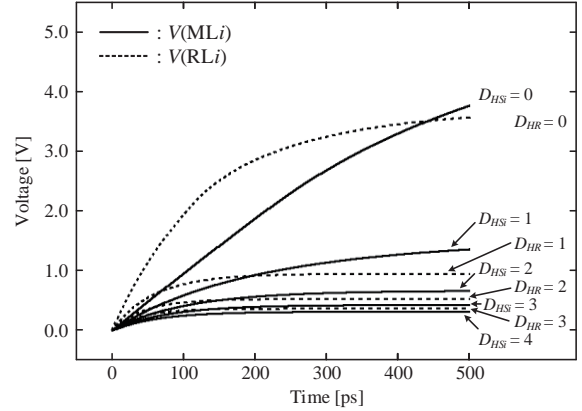

 (a)  $m=4$ 

 (b)  $m=32$ 

 Fig.4  $V(MLi)$  and  $V(RLi)$  of conventional H-CAM  
 ( $i=1,2, \dots, n$ )

ルの間に入力信号  $IN_j$  ( $j=1,2, \dots, m$ )の電圧を確定させておき (Fig.3(a))、 $\phi_{IG}$ がローレベルになるとその照合結果が一致線電圧  $V(MLi)$  ( $i=1,2, \dots, n$ )として現れる (Fig.3(c))。Fig.3(c)より、ハミング距離  $D_{HSi}$  ( $i=1,2, \dots, n$ )に対して一致線電圧  $V(MLi)$ が段階的なアナログ値として得られていることがわかる。 $V(MLi)$ の値を Table 3 にもまとめる。これらのアナログ電圧  $V(MLi)$ を何らかの回路的手法で判別することで“ハミング距離検索”が可能となる。

## 2.3 従来回路の問題点

NOR型回路が提案された文献4)では、これらのアナ

ログ電圧を判別する手段として、CMOSインバータを複数並列に配置したフラッシュCMOS型AD変換回路を使用することを述べている。また、設計容易性を向上させたニューロンCMOS型AD変換回路を用いたものも報告されている<sup>5)</sup>。しかし、これらのように一致線電圧を直接AD変換回路で判別する場合、ICチップ製造時のプロセスばらつきの影響で、一致線に接続されるプルアップpMOS及びプルダウンnMOSのしきい電圧やドレイン容量を含めた寄生容量などが変動すると、実機の一一致線電圧が設計時と異なり設計通りに判別できない場合がある。

これに対し、アナログコンパレータ型が報告されている。これは、一致線と同様の回路構成で、一致線電圧に対して段階的な電圧差が生じる設計がなされた参照線(Reference line)回路を用意し、その*i*ワード目の参照線電圧 $V(RL_i)$ と一致線電圧 $V(ML_i)$ とをアナログコンパレータで比較判定する。なお、参照線回路において設定可能な参照距離の最大値は3または4程度とされている<sup>7)-9)</sup>。

ここで、一致線回路と参照線回路の電圧の過渡特性をHSPICEシミュレーションにより検証した。Fig.4はハミング距離 $D_{HSi}$ と参照距離 $D_{HR}$ をパラメータとし、一致線電圧 $V(ML_i)$ と参照線電圧 $V(RL_i)$ が立ち上がる瞬間をまとめた波形である。ビット長 $m=4$ とし、 $D_{HR}$ の最大値を3とした場合 (Fig.4(a))、 $V(ML_i)$ と $V(RL_i)$ の大小関係は常に一定である。一方、 $m=32$ 、 $D_{HR}$ の最大値が3の場合 (Fig.4(b))、 $V(ML_i)$ と $V(RL_i)$ が立ち上がるタイミングで波形が交錯し大小関係が入れ替わっている箇所がある。仮に、 $V(ML_i)$ と $V(RL_i)$ の大小関係が反転しているタイミングでアナログコンパレータを作動させると、所望の判定結果が得られなくなる可能性がある。このような波形になる主な要因は、一致線及び参照線に接続されるプルダウンnMOSの個数が異なるため、寄生容量の差が生じているためであると考えられる。

このような要因を考慮し、文献8)のH-CAM及び文献9)のH-CAROMでは、安定した動作確保を目的として、一致線-アース間及び参照線-アース間にダミーキャパシタを設けている。しかし、キャパシタを集積化することは設計上のコスト(レイアウト面積など)がかかることに加え、動作速度も遅くなる。

そこで本論文では、ダミーキャパシタを用いないことで文献8)よりも高速な検索を可能とし、ビット長が大きい場合でも安定して検索動作ができる新たな回路構成を提案する。

### 3. 提案回路の構成と照合特性

#### 3.1 回路の全体構成

提案するハミング距離検索機能付き CAROM (H-CAROM)のブロック図をFig.5に示す。提案 H-CAROM は、リセットパルス(Reset pulse) $\phi_{RS}$ 、照合パルス(Interrogation pulse) $\phi_{IG}$ 、比較判定パルス(Comparison pulse) $\phi_{CP}$ の3種類の制御信号で動作する。また、 $V_{DD}$ は電源電圧、 $GND$ は基準電圧である。この H-CAROM

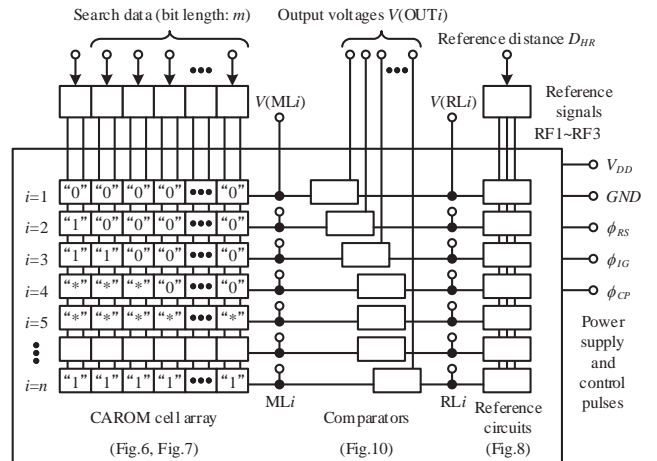


Fig.5 Block diagram of proposed H-CAROM ( $i=1,2, \dots, n$ )

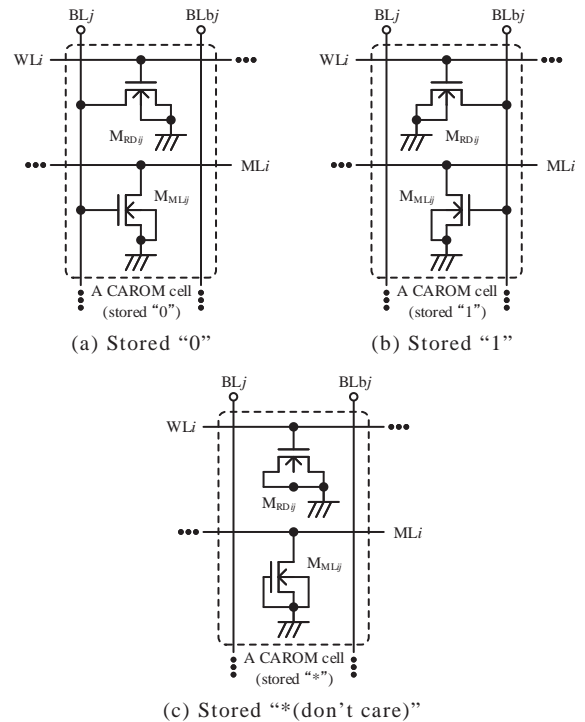


Fig.6 Definition of Stored data ( $i=1,2, \dots, n, j=1,2, \dots, m$ )

は、2.1節でも述べたように、ビット長  $m$ 、ワード数  $n$  で構成される CAROM セルアレイ内の記憶データ  $a_{ij}$  ( $i=1,2, \dots, n, j=1,2, \dots, m$ )と、外部から印加するビット長  $m$  の検索データ  $b_j$  ( $j=1,2, \dots, m$ )とを並列に照合し、それらのハミング距離  $D_{HSi}$  ( $i=1,2, \dots, n$ )が、外部から設定する参照距離  $D_{HR}$  よりも大きいか否かを判定し、Table 1 の条件に応じた出力電圧  $V(OUT_i)$  ( $i=1,2, \dots, n$ )を得る回路である。提案回路は、一致線と参照線に接続されるトランジスタの個数や寸法を対照的に配置した、対称型 NOR アーキテクチャを用いている。

提案 H-CAROM の具体的な回路構成と照合動作特性について、CAROMセルアレイ、参照距離設定回路、比較判定回路に分けて順に説明する。



Table 4 Definitions of search data ( $j=1,2, \dots, m$ )

Operation	$V(BL_j)$	$V(BL_{bj})$
“0” search	0[V]	$V_{DD}$
“1” search	$V_{DD}$	0[V]
Mask	0[V]	0[V]

### 3.2 CAROM セルアレイ

CAROM セルアレイは  $m \times n$  個の CAROM セルがアレイ状に配置されている. 各 CAROM セルは一般的なマスク ROM 形式であり, ワード線  $WL_i$  ( $i=1,2, \dots, n$ ), ビット線対  $BL_j$  及び  $BL_{bj}$  ( $j=1,2, \dots, m$ ), 読み出し用トランジスタ  $M_{RDij}$  ( $i=1,2, \dots, n, j=1,2, \dots, m$ ), 照合用トランジスタ  $M_{MLij}$  ( $i=1,2, \dots, n, j=1,2, \dots, m$ ), 一致線  $ML_i$  ( $i=1,2, \dots, n$ ) で構成される.

Fig.6 は, 記憶状態に応じた各 CAROM セルの回路構成を図示している. 論理 “0” を記憶する場合 (Fig.6(a)),  $M_{RDij}$  ( $i=1,2, \dots, n, j=1,2, \dots, m$ ) のドレイン及び  $M_{MLij}$  ( $i=1,2, \dots, n, j=1,2, \dots, m$ ) のゲートは  $BL_j$  ( $j=1,2, \dots, m$ ) に接続される. 一方, “1” 記憶の場合 (Fig.6(b)),  $M_{RDij}$  ( $i=1,2, \dots, n, j=1,2, \dots, m$ ) のドレイン及び  $M_{MLij}$  ( $i=1,2, \dots, n, j=1,2, \dots, m$ ) のゲートは  $BL_{bj}$  ( $j=1,2, \dots, m$ ) に接続される.

また, 3 値目の記憶状態である “\*(don't care)” を記憶する場合 (Fig.6(c)) には,  $M_{RDij}$  ( $i=1,2, \dots, n, j=1,2, \dots, m$ ) のドレイン及び  $M_{MLij}$  ( $i=1,2, \dots, n, j=1,2, \dots, m$ ) のゲートを接地する. ここで, 提案 H-CAROM では一致線のトランジスタを参照線と対称的に配置するため, ゲート接地により常にオフ状態であっても  $M_{MLij}$  ( $i=1,2, \dots, n, j=1,2, \dots, m$ ) のドレインを  $ML_i$  ( $i=1,2, \dots, n$ ) に接続する. この場合の  $M_{MLij}$  ( $i=1,2, \dots, n, j=1,2, \dots, m$ ) は ESD 保護ダイオードと同等の働きをする.

なお, 本論文では照合特性について述べるため, 読み出し動作については説明を省略する.

提案 H-CAROM における検索データの定義は Table 4 のとおりである. 続いて, これらの検索データと, Fig.5 の CAROM セルアレイに記述されている記憶データとの照合動作について説明する. Fig.7 は, 読み出し用トランジスタを省略した,  $i$  ( $i=2,3,4$ ) ワード目の一致線周辺の回路図である. この一致線回路は, 一致線  $ML_i$  に対して,  $m$  個のプルダウン nMOS トランジスタ  $M_{MLij}$  ( $j=1,2, \dots, m$ ) とプルアップ pMOS トランジスタ  $M_{MLui}$  が接続されている NOR 構造である.  $M_{MLij}$  ( $j=1,2, \dots, m$ ) は, 検索データに応じて印加されるビット線対 ( $BL_j, BL_{bj}$ ) ( $j=1,2, \dots, m$ ) の電圧によって駆動され,  $M_{MLui}$  は照合パルス  $\overline{\phi_{IG}}$  によって駆動される. また,  $M_{RLDi}$  はリセット用 nMOS である.

まず, 照合パルス  $\overline{\phi_{IG}}$  がハイレベルである間に検索データ “1000...0” を印加し, その検索データと 2 ワード目の記憶データ “1000...0” と照合する場合 (Fig.7(a)), 一致線  $ML_2$  に接続されるすべてのプルダウン nMOS がオフ状態となる. このとき, 照合パルス  $\overline{\phi_{IG}}$  をローレベルに下げると  $M_{MLU2}$  がオン状態になり, 一致線電圧  $V(ML_2)$  は  $V_{DD}$  となる.

一方, 上記と同じ検索データに対して, 3 ワード目

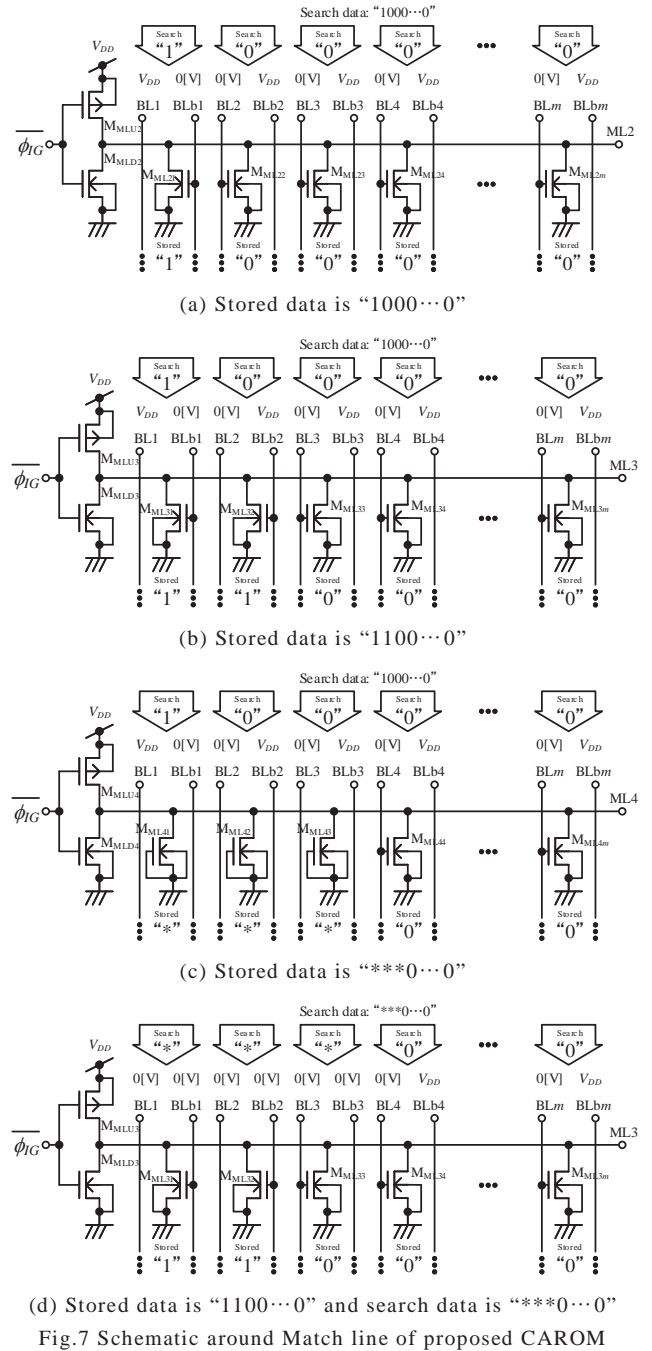


Fig.7 Schematic around Match line of proposed CAROM

の記憶データ “1100...0” との照合の場合 (Fig.7(b)) には,  $M_{ML32}$  のゲートが接続されている  $BL_{b2}$  に  $V_{DD}$  が印加されるため  $M_{ML32}$  はオン状態となり, 他のプルダウン nMOS は全てオフ状態となる. したがって, 照合パルス  $\overline{\phi_{IG}}$  がローレベルに下がると,  $V(ML_3)$  は  $V_{DD}$  よりも低いアナログ電圧になる. このケースは, 検索データと記憶データの不一致ビットが 1 つ, すなわちハミング距離  $D_{HS3}=1$  の場合である.

同様に検討すると, ハミング距離の数だけプルダウン nMOS がオン状態となり, 一致線電圧は, ハミング距離が大きくなるとその距離に応じて段階的に下がることがわかる. すなわち, ハミング距離に対するアナログ電圧が生成される.

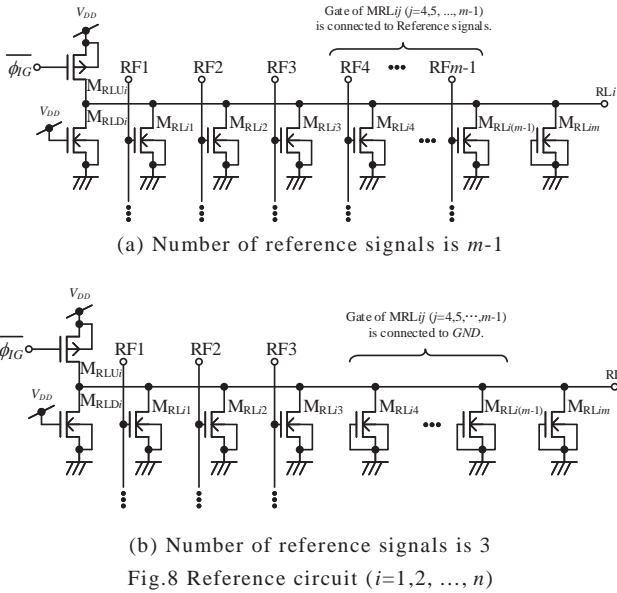


Table 5 Definitions of reference signals

$D_{HR}$	$V(RF1)$	$V(RF2)$	$V(RF3)$
0	0[V]	0[V]	0[V]
1	$V_{DD}$	0[V]	0[V]
2	$V_{DD}$	$V_{DD}$	0[V]
3	$V_{DD}$	$V_{DD}$	$V_{DD}$

記憶データの中に“\*(don't care)”が含まれる照合動作の例として、Fig.7(c)では、検索データ“1000...0”と4ワード目の記憶データ“\*\*\*0...0”との照合の場合を表している。このとき、一致線  $ML4$  に接続されるすべてのプルダウン nMOS がオフ状態となるため、 $V(ML4)$ は  $V_{DD}$  となり、4ワード目の記憶データと検索データは完全一致と判定される。

また、検索データにおける Mask とは、特定のビットを照合の対象から除外することである。その具体例として、Fig.7(d)では、3ワード目の記憶データ“1100...0”に対して、検索データ“\*\*\*0...0”を印加する場合を表している。このときも、一致線  $ML3$  のプルダウン nMOS はすべてオフ状態となり、これらのデータも完全一致と判定される。

なお、照合パルス  $\phi_{IG}$  がハイレベルのときは、 $M_{MLDi}$  ( $i=1,2, \dots, n$ )によって全ワードの一致線  $MLi$  ( $i=1,2, \dots, n$ )が接地される。また、後述する参照線回路と対称にするため、 $M_{MLDi}$  ( $i=1,2, \dots, n$ )のチャンネル幅は、他のプルダウン nMOS のチャンネル幅の半分に設計される。

### 3.3 参照距離設定回路

参照距離設定回路は、任意に設定する参照距離 (Reference distance)に応じて、CAROM セルアレイ側の一致線回路のアナログ電圧を判別するための参照電圧を生成する回路である。提案 H-CAROM では、一致線と対称構造となる参照線 (Reference line) RL を設け、その参照線電圧を得る。Fig.5 ですでに示したように、 $n$  個のワード全てに対して同一の参照距離設定回路が並列に配置される。なお、H-CAROM セルアレイ側の

 Table 6 Device parameters and simulation conditions for Fig.9 and Fig.11 ( $i=1,2, \dots, n$ )

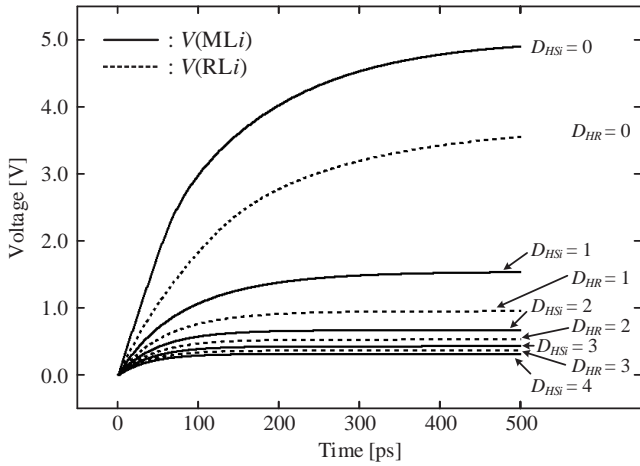
Symbol	Name	Value	Unit
$V_{DD}$	Power supply voltage	5.0	V
$(W/L)_{MLij}$ ( $j=1,2, \dots, m$ )	Width/Length of $M_{MLij}$ ( $j=1,2, \dots, m$ )	4/2	$\mu\text{m}$
$(W/L)_{MLDi}$	Width/Length of $M_{MLDi}$	2/2	$\mu\text{m}$
$(W/L)_{MLUi}$	Width/Length of $M_{MLUi}$	8/2	$\mu\text{m}$
$(W/L)_{RLij}$ ( $j=1,2, \dots, m$ )	Width/Length of $M_{RLij}$ ( $j=1,2, \dots, m$ )	4/2	$\mu\text{m}$
$(W/L)_{RLDi}$	Width/Length of $M_{RLDi}$	2/2	$\mu\text{m}$
$(W/L)_{RLUi}$	Width/Length of $M_{RLUi}$	8/2	$\mu\text{m}$

一致線電圧はハミング距離に応じて  $m$  通りの電圧値になるため、その一致線電圧を判別する参照距離  $D_{HR}$  を設定する有効な範囲は  $0 \sim m-1$  である。

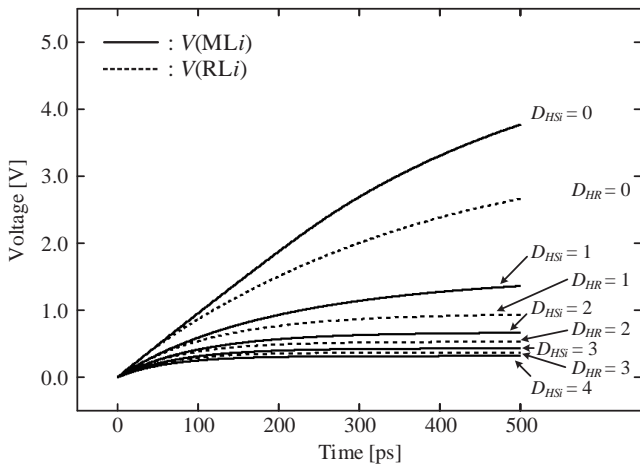
$i(i=1,2, \dots, n)$ 番目のワードにおける参照距離設定回路の構成を Fig.8(a)に示す。この回路は、参照線  $RLi$  に対して、 $m$  個のプルダウン nMOS トランジスタ  $M_{RLij}$  ( $j=1,2, \dots, m$ )とプルアップ pMOS トランジスタ  $M_{RLUi}$  が接続された NOR 構造である。 $M_{RLij}$  ( $j=1,2, \dots, m$ )は、参照距離設定信号  $RFj$  ( $j=1,2, \dots, m-1$ )によって駆動され、 $M_{RLUi}$ は照合パルス  $\phi_{IG}$ によって駆動される。また、 $M_{RLDi}$ はリセット用 nMOS であり、参照線電圧  $V(RLi)$  が一致線電圧  $V(MLi)$ と一定の電位差となるよう、そのチャンネル幅は、他のプルダウン nMOS のチャンネル幅の半分に設計される。

ここで、類似データを検索するという観点から、文献 8)では  $D_{HR}=0 \sim 3$ 、文献 9)では  $D_{HR}=0 \sim 4$  としている。これにより、参照線プルダウン nMOS の個数が、文献 8)では 4 個、文献 9)では 5 個であった。一方、一致線プルダウン nMOS の個数は  $D_{HR}$  の値に依らず  $m$  である。仮に、一致線トランジスタ数  $m$  が参照線トランジスタ数の 4 や 5 よりも十分に大きくなると、一致線の寄生容量が参照線の寄生容量よりも大きくなり、一致線電圧の上昇速度が参照線電圧の上昇速度よりも遅くなるため、検索動作が不安定になることを先に指摘した (Fig.4(b)参照)。

そこで本論文では、 $D_{HR}$  の設定可能範囲に依らず全てのワードにおいて一致線のトランジスタと同数である  $m$  個のプルダウン nMOS トランジスタを参照線に接続する対称配置を提案している。 $D_{HR}$  の設定可能範囲によって不要となるトランジスタについては、そのトランジスタのゲートを接地する。例えば、参照距離の設定可能範囲を  $D_{HR}=0 \sim 3$  とする場合、プルダウン nMOS トランジスタ  $M_{RLij}$  ( $j=1,2, \dots, m$ )のうち  $M_{RLij}$  ( $j=1,2,3$ )のゲートには参照距離設定信号  $RFj$  ( $j=1,2,3$ )を接続し、 $M_{RLij}$  ( $j=4,5, \dots, m-1$ )は  $M_{RLij}$  と同様に、そのゲートを接地する (Fig.8(b))。以下では、設定可能な参照距離の範囲を  $0 \sim 3$  とする。Table 5 は、設定する参照距離  $D_{HR}$  に対する参照距離設定信号  $RFj$  ( $j=1,2,3$ )の電圧を定義したものである。



(a)  $m=4$



(b)  $m=32$

Fig.9  $V(MLi)$  and  $V(RLi)$  of proposed H-CAROM ( $i=1,2, \dots, n$ )

参照距離設定回路の動作は、CAROM セルアレイの一致線回路と同様である。具体的には、 $i$  ( $i=1,2, \dots, n$ ) ワード目の参照距離設定回路において、照合パルス  $\overline{\phi_{IG}}$  がハイレベルの間に、参照距離設定信号  $RF_{ij}$  ( $j=1,2,3$ ) の電圧を印加する。このとき、 $M_{RLDi}$  によって参照線電圧  $V(MLi)$  は  $0[V]$  にリセットされている。

続いて、 $\overline{\phi_{IG}}$  がローレベルになると、参照線電圧  $V(RLi)$  は  $RF_{ij}$  ( $j=1,2,3$ ) がハイレベルである個数によって段階的なアナログ電圧となる。なお、チャンネル幅が他のトランジスタのチャンネル幅の半分である  $M_{RLDi}$  が常にオン状態であるため、参照線電圧  $V(RLi)$  は一致線電圧  $V(MLi)$  に対して一定の電位差を生じる。

### 3.4 一致線電圧と参照線電圧の関係

3.2 節及び 3.3 節で求めた  $i$  ( $i=1,2, \dots, n$ ) ワード目の一致線電圧  $V(MLi)$  及び参照線電圧  $V(RLi)$  について、Table 6 の条件で HSPICE シミュレーションを行なった。ハミング距離  $D_{HSi}$  及び参照距離  $D_{HR}$  をパラメータとし、横軸を時間、縦軸を電圧とする。Fig.9(a)は、ビット長  $m=4$  としたときの提案 H-CAROM の  $V(MLi)$

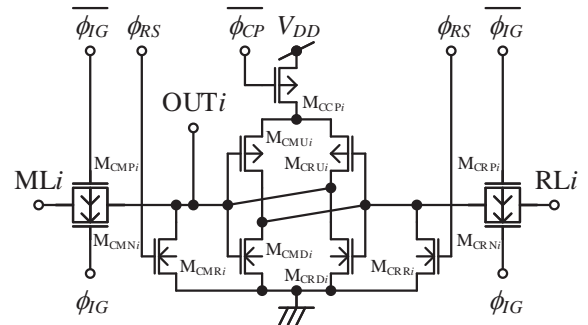


Fig.10 Comparator ( $i=1,2, \dots, n$ )

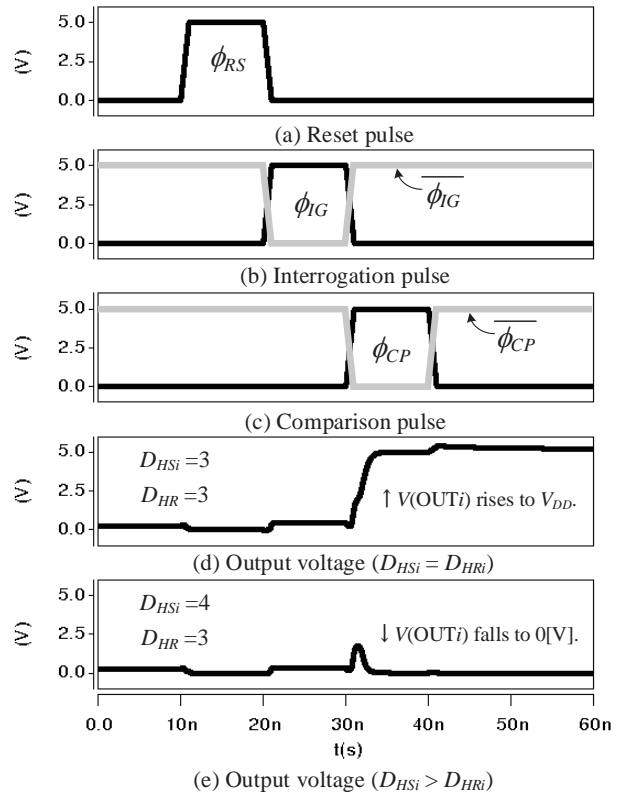


Fig.11 Simulated waveforms ( $i=1,2, \dots, n$ )

及び  $V(RLi)$  の波形であり、Fig.9(b)は、ビット長  $m=32$  の場合である。従来 CAM のシミュレーションを行なった Fig.4(b)では、 $m=32$  とすると波形の交錯が見られたが、Fig.9(b)の場合にはどのタイミングにおいても波形が交錯することなく  $V(MLi)$  と  $V(RLi)$  の大小関係が一定であることが分かる。

また、Fig.9(a)と Fig.9(b)とを比べると、Fig.9(b)の方が、電圧上昇速度が遅い。これは、Fig.9(a)の  $m=4$  に比べて、Fig.9(b)では  $m=32$  であり一致線及び参照線に接続されるトランジスタの数が多く、寄生容量が大きいためである。

Fig.9(a)及び Fig.9(b)より、提案 H-CAROM において、 $V(RLi)$  はそれぞれの  $V(MLi)$  の中間の電圧値になっている。したがって、ある時刻において、 $V(RLi)$  と  $V(MLi)$  とをアナログコンパレータで判定すれば、ハミング距離検索のフラグを立てることができる。

### 3.5 比較判定回路とハミング距離検索フラグ

Fig.10 にアナログコンパレータ（比較判定回路：Comparator）の回路図を示す。なお、pMOS の基板は電源電圧  $V_{DD}$ 、nMOS の基板は基準電圧  $GND$  に接続されるが、Fig.10 では省略している。この回路は、 $V(MLi)$  ( $i=1,2, \dots, n$ )と  $V(RLi)$  ( $i=1,2, \dots, n$ )の大小関係の比較を行い、Table 1 に示す条件に基づいた出力電圧  $V(OUTi)$  ( $i=1,2, \dots, n$ )を得る。ここで扱う比較判定回路は、リセットパルス  $\phi_{RS}$ 、照合パルス  $\phi_{IG}$  ( $\overline{\phi_{IG}}$ )、比較判定パルス  $\phi_{CP}$  ( $\overline{\phi_{CP}}$ )の3相の信号で駆動される。これらのパルスのタイミングを Fig.11(a),(b)及び(c)に示す。

Fig.11(d)及び(e)は、参照距離  $D_{HR}=3$  と設定したときの、比較判定回路の出力電圧（すなわち、提案 H-CAROM の出力フラグ） $V(OUTi)$  ( $i=1,2, \dots, n$ )のシミュレーション波形を表している。シミュレーション条件は Table 6 のとおりである。Fig.11(d)のように、記憶データと検索データ間のハミング距離  $D_{HSi}$  が 3 のとき、Fig.9(a)からも読み取れるように一致線電圧  $V(MLi)$ は参照線電圧  $V(RLi)$ よりも高いため、比較判定回路の動作により、 $V(OUTi)$ はハイレベルを出力する。

一方、Fig.11(e)のように、ハミング距離  $D_{HR}$  が 4 の場合には、Fig.9(a)より  $V(MLi)$ は  $V(RLi)$ より低い。したがって、 $V(OUTi)$ はローレベルを出力する。これらの動作は Table 1 の動作条件を満たしており、提案 H-CAROM が理論通りの動作をしていることがわかる。

## 4. まとめと今後の課題

従来 NOR アーキテクチャを用いたハミング距離検索機能付き CAM 及び CAROM の照合動作を HSPICE シミュレーションにより詳細に解析し、一致線及び参照線のトランジスタ数の差異が大きい場合には寄生容量の影響で照合動作が不安定になるためダミーキャパシタが用いられた経緯を明確にした。そのうえで、本論文では、一致線及び参照線のトランジスタ数と寸法を同一にして対称的に配置することで、ダミーキャパシタを用いなくても安定した照合動作が可能な、対称型 NOR アーキテクチャによる新たなハミング距離検索機能付き CAROM を提案した。さらに、提案 H-CAROM の照合動作についてシミュレーションにより動作を検証した。

本論文でのシミュレーション検証において、 $2\mu\text{m}$  ルールや  $V_{DD}=5[\text{V}]$  という条件や、メモリセル部に RAM でなく ROM を適用した要因は、素子数やピン数の制約が厳しい北九州学術研究都市の共同研究開発センター（ひびきの）でのチップ試作を想定しているためである。今後は、同センターや VDEC を通じて実機を

試作し評価するとともに、提案 H-CAROM あるいは H-CAM の具体的な応用について検討していく予定である。

## 謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、及び日本ケイデンス株式会社の協力で行われたものである。また、本研究は北九州学術研究都市の共同研究開発センターの協力で行われたものである。

## 参考文献

- 1) 大池祐輔, 池田誠, 浅田邦博: 同期式高速ハミング距離検索連想メモリ, 電子情報通信学会 技術研究報告 ICD2002-4, pp.19-24, 2002年4月.
- 2) H. J. Mattausch, W. Imafuku, A. Kawabata, T. Ansari, M. Yasuda and T. Koide, "Associative Memory for Nearest-Hamming-Distance Search Based on Frequency Mapping," IEEE Journal of Solid-State Circuits, vol.47, no.6, pp.1448-1459, June 2012.
- 3) 原田裕二郎, 藤本邦昭, 福原雅朗, 吉田正廣: ニューロンCMOSインバータを用いた最小ハミング距離検索連想メモリ, 電気学会論文誌C, vol.136, no.1, pp.36-42, 2016年1月.
- 4) W.R. Daasch and J. Lee, "A Word/Bit Parallel Inexact Match Content Addressable Memory," Proceedings of 7th Annual IEEE International ASIC Conference and Exhibit, pp.25-28, Sept. 1994.
- 5) M. Urakami, M. Fukuhara and M. Yoshida, "A Proposal of a Hamming Distance Detector with a Neuron CMOS A/D Converter," International Journal of Information and Electronics Engineering, Vol.5, No.2, pp.84-87, March 2015.
- 6) 山岡寛明, 池田誠, 浅田邦博: しきい値論理回路を用いたハミング距離選択機能を有する高速機能メモリ, 電子情報通信学会 技術研究報告 VLD2002-151, ICD2002-216, pp.31-36, 2003年3月.
- 7) 近越一真, 濱田芳隆, 吉田正廣, 鈴木八十二: ハミング距離検索機能を有するCMROMの照合特性, 電子情報通信学会 論文誌C, vol.J83-C, no.7, pp.658-659, 2000年7月.
- 8) 田中浩朗, 福原雅朗, 鈴木八十二, 吉田正廣: 大きなノイズマージンを有するハミング距離検索機能付き内容照合メモリ(CAM)の構成法とその照合特性, 東海大学紀要電子情報学部, vol.3, no.1, pp.35-39, 2003年9月.
- 9) リキットキットワオラクル ナッチャー, 福原雅朗, 吉田正廣: ハミング距離検索機能を有する低消費電力CAROMのレイアウト設計とその動作特性, 東海大学紀要情報理工学部, vol.6, no.1, pp.51-55, 2006年9月.