

# クロックドニューロン CMOS インバータを用いた 低消費電力 CAROM の構成とその動作特性

高橋 遼輝<sup>\*1</sup>, 福原 雅朗<sup>\*2</sup>, 吉田 正廣<sup>\*3</sup>

## Configuration of a Low Power CAROM Using Clocked Neuron CMOS Inverters and Its Operating Characteristics

by

Haruki Takahashi<sup>\*1</sup>, Masaaki Fukuhara<sup>\*2</sup> and Masahiro Yoshida<sup>\*3</sup>

(received: September 20, 2013 & accepted: February 6, 2014)

### Abstract

CAM (Content Addressable Memory) provides a fast data search function. CAM compares a search data with all stored data in parallel. In addition, CAM returns the address at which the matching data is found. In this paper, we propose a low power CAROM (Content Addressable ROM) using Clocked neuron CMOS inverters. Also, we analyze electrical characteristics of the proposed CAROM and the conventional CAROM by SPICE simulations. The results show that the proposed CAROM can search the data to match faster than the conventional NAND type CAROM and the power consumption of the proposed CAROM is less than the conventional NOR type CAROM.

**Keywords:** Clocked CMOS Inverter, Neuron CMOS Inverter, ROM, CAM, CAROM

**キーワード:** クロックド CMOS インバータ, ニューロン CMOS インバータ, ROM, CAM, CAROM

### 1. 概要

CAM(Content Addressable Memory)は通常の RAM が持つアドレスを指定して記憶データの読み出し/書き込みを行う機能に加え, ある検索データと記憶データを完全並列に照合し, それらのデータ間に何らかの関係のある記憶データを読み出すという機能を有している. CAM は完全並列に照合を行う為, 非常に検索速度が速いのが特徴であり, 主に高速検索を必要とするシステム等で広く用いられている<sup>1) 2)</sup>. また, CAM にはメモリセルとして, RAM 構造を用いたものと, ROM 構造を用いたものがある. 辞書検索等に CAM を用いる場合, 回路規模の観点から読み出し専用 CAM(Content Addressable ROM : CAROM)が有効である. 本論文では, クロックドニューロン CMOS インバータを用いた CAROM を提案する. 提案 CAROM は, 検索データと完全に一致する記憶データを低消費電力で高速に検出する機能を有している. クロックドニューロン CMOS インバータは, ニューロン CMOS インバータに対して貫通電流を減らすために, クロックド CMOS インバータを適用した素子である

<sup>3) 4)</sup>. また, 提案 CAROM が従来の NAND 型 CAROM よりも検索速度の面で優れ, 従来の NOR 型 CAROM よりも低消費電力であることを SPICE シミュレーションにより明らかにする.

### 2. 従来回路の構成と問題点

#### 2.1 CAROM の構成

Fig.1 は CAROM の構成図をブロックとして示したものである.

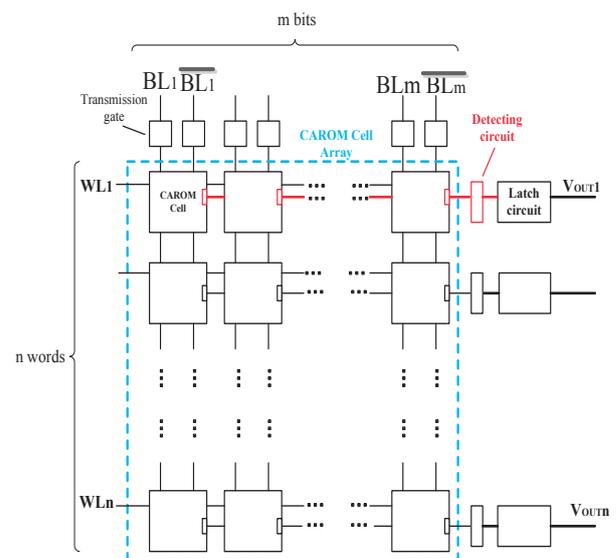


Fig.1 Block diagram of CAROM.

\*1 情報通信学研究科情報通信学専攻 修士課程

Graduate School of Information and Telecommunication Engineering, Course of Information and Telecommunication Engineering, Master's Program

\*2 情報通信学部組込みソフトウェア工学科 講師  
School of Information and Telecommunication Engineering, Department of Embedded Technology, Assistant Professor

\*3 情報通信学部組込みソフトウェア工学科 教授  
School of Information and Telecommunication Engineering, Department of Embedded Technology, Professor

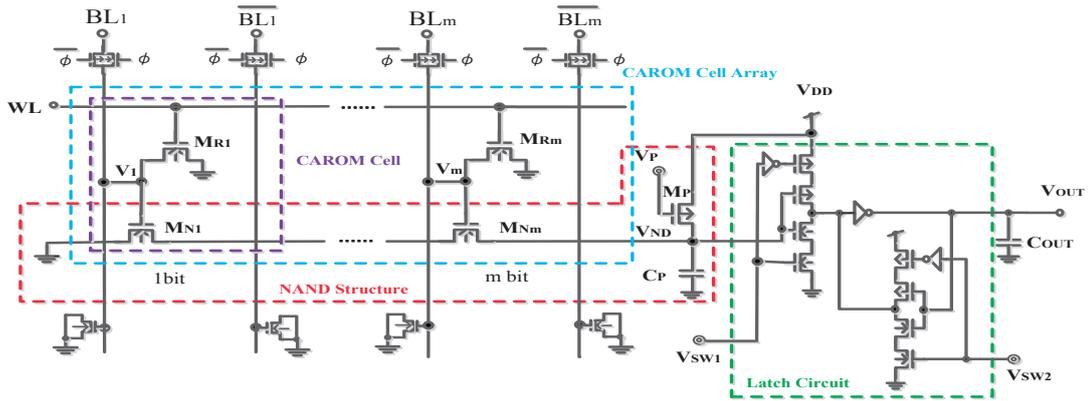


Fig.2 Conventional NAND type CAROM.

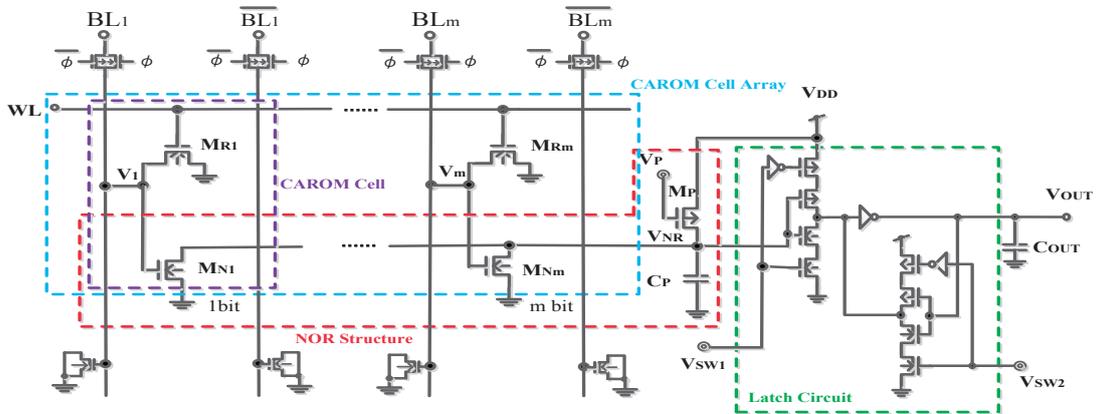


Fig.3 Conventional NOR type CAROM.

Fig.1 では、ワード数が  $n$ 、ビット数が  $m$  の CAROM を示しており、CAROM セルアレイ、記憶データと検索データの完全一致を検出する回路（検出回路）、ラッチ回路、ビット線上のトランスミッションゲートから構成されている。従来の CAROM の構成には、検出回路として NAND 型、NOR 型の 2 種類がある。Fig.2 には NAND 型 CAROM、Fig.3 には NOR 型 CAROM をそれぞれ示す。ここでは、Fig.2、Fig.3 とともに 1 ワード  $m$  ビット構成の CAROM である。

## 2.2 NAND 型 CAROM

Fig.2 の NAND 型 CAROM は、ビット線上の各素子、CAROM セルアレイ、NAND 構造の検出回路、ラッチ回路から構成されている。ビット線上の各素子とは、検索データなどの外部信号に対するスイッチとしての役割を果たすトランスミッションゲートと寄生容量を等価的に表す nMOS トランジスタである。この寄生容量は CAROM セルの読み出し動作時に必要なものである。なお、本稿では CAROM セルの読み出し動作については一般の ROM セルと同様の動作をするので記載を行わない。CAROM セルアレイはアレイ状に配置された多数の CAROM セルから構成され、その各 CAROM セルは、nMOS トランジスタ  $M_{R1}, \dots, M_{Rm}$  と検出用プルダウン nMOS トランジスタ  $M_{N1}, \dots, M_{Nm}$  から構成されている。検出回路はプルダウン用 nMOS

トランジスタ  $M_{N1}, \dots, M_{Nm}$ 、プリチャージ用 pMOS トランジスタ  $M_p$ 、プリチャージ用キャパシタ  $C_p$  から構成されている。ラッチ回路はクロックド CMOS インバータを用いて構成されている。また、 $BL_1, \overline{BL}_1, \dots, BL_m, \overline{BL}_m$  はビット線、 $WL$  はワード線、 $\phi, \overline{\phi}$  はビット線上のトランスミッションゲートの制御電圧、 $V_1, V_2, \dots, V_m$  は検索データと記憶データ間の EXNOR 出力に対応する電圧、 $V_{DD}$  は電源電圧、 $V_p$  はプリチャージ用 pMOS トランジスタの制御電圧、 $C_p$  はプリチャージ用キャパシタ、 $V_{ND}$  は記憶データと検索データの一致ビット数に対応する出力電圧、 $V_{SW1}$  は 1 段目クロックド CMOS インバータの制御トランジスタに加えられる電圧、 $V_{SW2}$  は 2 段目クロックド CMOS インバータの制御トランジスタに加えられる電圧、 $V_{OUT}$  はラッチ回路の出力電圧である。 $C_{OUT}$  はラッチ回路を構成している CMOS インバータの出力容量である。NAND 構造を用いた CAROM セルアレイはプルダウン用 nMOS トランジスタ  $M_{N1}, \dots, M_{Nm}$  が直列に接続されている。検出動作の際には  $C_p$  にプリチャージされた電荷が  $M_{N1}, \dots, M_{Nm}$  を通して放電されるかどうかで、完全一致か否かの判別を行う。すなわち、完全一致の時、 $V_{ND}$  は L レベルになり、1 ビットでも不一致がある時には、 $V_{ND}$  は H レベルとなる。

NAND 型 CAROM では、完全一致の場合のみ放電を行うため、消費電力が小さいという長所がある。

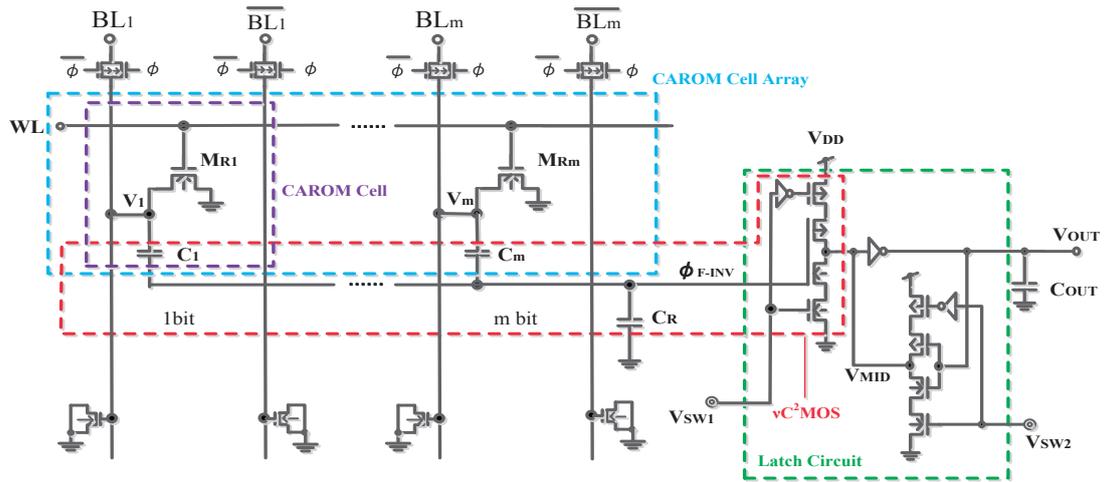


Fig.4 Proposed CAROM using Clocked Neuron CMOS Inverters.

しかし、1ワードを構成するビット数が増加すると、直列接続されたプルダウン用トランジスタ  $M_{N1}, \dots, M_{Nm}$  を通して電荷を放電するのに時間がかかるため、検索速度が遅いという問題点がある<sup>5)</sup>。

### 2.3 NOR型 CAROM

Fig.3のNOR型CAROMは、ビット線上の各素子、CAROMセルアレイ、NOR構造の検出回路、ラッチ回路から構成されている。ビット線上の各素子とラッチ回路はNAND型と同様である。CAROMセルアレイ及びそのCAROMセルは、プルダウン用nMOSトランジスタ  $M_{N1}, \dots, M_{Nm}$  が並列に接地されている点以外はNAND型と同様である。検出回路は並列に接続されたプルダウン用nMOSトランジスタ  $M_{N1}, \dots, M_{Nm}$ 、プリチャージ用pMOSトランジスタ  $M_p$ 、プリチャージ用キャパシタ  $C_p$  から構成されている。また、 $V_{NR}$  は記憶データと検索データの一致ビット数に対応する出力電圧である。

NOR構造を用いたCAROMセルは、 $C_p$  にプリチャージされた電荷が並列接続された  $M_{N1}, \dots, M_{Nm}$  のトランジスタを通して放電されるかどうかで、完全一致か否かの判別を行う。すなわち、完全一致の時、 $V_{NR}$  はHレベルになり、1ビットでも不一致がある時には、 $V_{NR}$  はLレベルとなる。

1ビット以上の不一致で並列接続された  $M_{N1}, \dots, M_{Nm}$  のいずれかのトランジスタから放電が行われるため、検索速度が速いという長所がある。しかし、1ビット以上の不一致がある場合、プリチャージ用キャパシタに蓄えた電荷が並列接続された  $M_{N1}, \dots, M_{Nm}$  のいずれかのトランジスタを通して放電してしまうため、消費電力が大きいという問題点がある<sup>6)</sup>。

## 3. 提案 CAROM の構成と動作原理

Fig.4に1ワード  $m$  ビット構成の提案 CAROM 回路図を示す。この提案 CAROM は、ビット線上の各素子、CAROMセルアレイ、クロックドニューロン

CMOSインバータ（以下、 $vC^2MOS$  インバータと略記する）を用いた検出回路、クロックド CMOS インバータを用いたラッチ回路から構成される。

### 3.1 メモリセルの構成

提案 CAROM のメモリセルの回路構成及び記憶状態を説明する。ここでは1ワード  $m$  ビット構成の提案 CAROM の  $i$  番目のメモリセルとして示している。ただし、 $i = 1, 2, \dots, m$  である。CAROMセルは各ビット線のトランスミッションゲート、ビット線  $BL_i, \overline{BL}_i$  ( $i = 1, 2, \dots, m$ ) のどちらかに接続される nMOS トランジスタ、ビット線  $BL_i, \overline{BL}_i$  ( $i = 1, 2, \dots, m$ ) のどちらかに接続されるフローティング容量から構成されている。

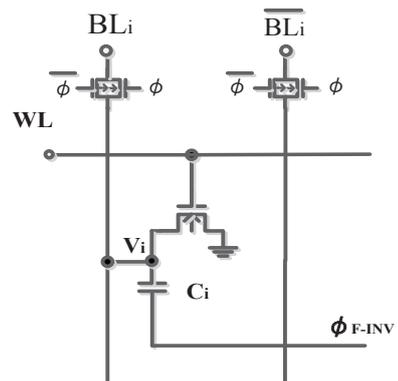


Fig.5 “0” memory state. ( $i = 1, 2, \dots, m$ )

Fig.5では、“0”を記憶している状態のCAROMセルを示している。“0”記憶の場合には、ビット線  $BL_i$  ( $i = 1, 2, \dots, m$ ) にフローティング容量  $C_i$  ( $i = 1, 2, \dots, m$ ) が接続されている。

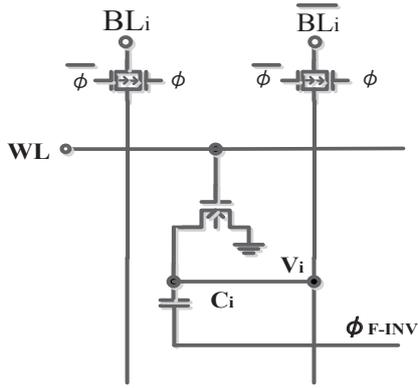


Fig.6 “1” memory state. ( $i = 1, 2, \dots, m$ )

Fig.6では“1”を記憶している状態の CAROM メモリセルを示している。“1”記憶の場合には、ビット線  $\overline{BL}_i(i = 1, 2, \dots, m)$  にフローティング容量  $C_i(i = 1, 2, \dots, m)$  が接続される。

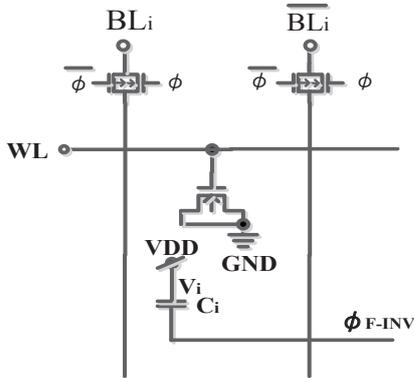


Fig.7 “Don’t care” memory state. ( $i = 1, 2, \dots, m$ )

Fig.7では“Don’t care”状態の CAROM メモリセルを示している。“Don’t care”の場合には、 $V_{DD}$  にフローティング容量  $C_i(i = 1, 2, \dots, m)$  が直接接続される。

Table 1 Relationship of connection point and memory state. ( $i = 1, 2, \dots, m$ )

Memory data	Connection point of nMOS (drain)	Connection point of $C_i$
“0”	$BL_i$	$BL_i$
“1”	$\overline{BL}_i$	$\overline{BL}_i$
“Don’t care”	GND	$V_{DD}$

Table 1 は、記憶データと Fig.5, Fig.6, Fig.7 のメモリセルの接続点の関係を表にまとめたものである。“0”記憶の場合には、メモリセル内の nMOS トランジスタのドレイン端子とフローティング容量  $C_i(i = 1, 2, \dots, m)$  の入力側が  $BL_i(i = 1, 2, \dots, m)$  に接続されている。同様に“1”記憶の場合には、 $\overline{BL}_i(i = 1, 2, \dots, m)$  に接続されている。また、“Don’t care”の場合には  $V_{DD}$  に接続されている。

### 3.2 メモリセルの検索動作

Table 2 は検索データと各ビット線の電圧値の関係を表に示したものである。

Table 2 Definition of search data. ( $i = 1, 2, \dots, m$ )

Search data	$BL_i$ [V]	$\overline{BL}_i$ [V]
“0”	$V_{DD}$	0
“1”	0	$V_{DD}$
“mask”	$V_{DD}$	$V_{DD}$
Don’t use	0	0

メモリセルの記憶データに対して検索を行う際には、ワード線 WL に 0[V]を印加する。さらに、検索したいデータ“0”、“1”、“mask”に応じて、Table 2 のような電圧値をビット線  $BL_i, \overline{BL}_i(i = 1, 2, \dots, m)$  に印加する。すなわち、検索データとして“0”を検索したい場合、ビット線  $BL_i(i = 1, 2, \dots, m)$  には  $V_{DD}$  [V]を印加し、ビット線  $\overline{BL}_i(i = 1, 2, \dots, m)$  には 0 [V]を印加する。検索データとして“1”を検索したい場合、ビット線  $BL_i(i = 1, 2, \dots, m)$  には 0[V]を印加し、ビット線  $\overline{BL}_i(i = 1, 2, \dots, m)$  には  $V_{DD}$  [V]を印加する。なお、“mask”は特定のメモリセルの記憶データを検索対象から除外する場合に用いる。

Table 3 Voltage at  $V_i$ . ( $i = 1, 2, \dots, m$ )

Relations of search data and memory data	$V_i$ [V]
match	$V_{DD}$
mismatch	0
mask	$V_{DD}$

Table 3 は記憶データと検索データの一致/不一致に対する  $V_i(i = 1, 2, \dots, m)$  の電圧値の関係を示している。記憶データと検索データが一致した場合、 $V_i(i = 1, 2, \dots, m)$  は  $V_{DD}$  [V]となり、不一致の場合には  $V_i(i = 1, 2, \dots, m)$  は 0[V]となる。また、mask の場合には、フローティング容量  $C_i(i = 1, 2, \dots, m)$  に  $V_{DD}$  [V]が印加される。

### 3.3 提案 CAROM の動作原理

Fig.4 中の  $BL_1, \overline{BL}_1, \dots, BL_m, \overline{BL}_m$  はビット線、WL はワード線、 $V_{DD}$  は電源電圧、 $\phi, \overline{\phi}$  はビット線上のトランスマッションゲートの制御信号、 $V_1, V_2, \dots, V_m$  は検索データと記憶データ間の EXNOR 出力に対応する電圧、 $V_{SW1}$  は  $vC^2$ MOS インバータの制御トランジスタに加えられる電圧、 $V_{SW2}$  はクロックド CMOS インバータの制御トランジスタに加えられる電圧、 $V_{MID}$  は  $vC^2$ MOS インバータの出力電圧である。また、 $V_{OUT}$  はラッチ回路の出力電圧である。 $C_1, C_2, \dots, C_m$  は  $vC^2$ MOS インバータの各入力ゲートとフローティングゲート間の容量（以下、フローティング容量と略記する）、 $C_R$  はアースとフローティングゲート間の容量、 $C_{OUT}$  はラッチ回路を構成している CMOS インバータの出

力容量である．ビット数  $m$  の  $vC^2MOS$  インバータのフローティングゲートの電位  $\phi_{F-INV}$  は次式で与えられる．

$$\phi_{F-INV} = \frac{m - D_H}{2m - 1} V_{DD} \quad (1)$$

式(1)の  $D_H$  は検索データと記憶データ間の不一致ビットの数である．

ただし，各容量の値は以下の条件を満足するように設定する．

$$C_1 = C_2 = \dots = C_m \quad (2)$$

$$C_R = (m - 1)C_1 \quad (3)$$

この  $\phi_{F-INV}$  値が  $vC^2MOS$  インバータの反転しきい値電圧を超えるか否かで， $vC^2MOS$  インバータの出力電圧  $V_{MID}$  が定まり，さらに後段の CMOS インバータが動作することによって波形整形された電圧が  $V_{OUT}$  として得られる．

$vC^2MOS$  インバータの反転しきい値電圧  $V_{INV}$  は，次式となるように設計する．

$$V_{INV} = \frac{1}{2} V_{DD} \quad (4)$$

検索データと記憶データの間の一つでも不一致ビットがある場合 ( $1 \leq D_H \leq m$ ) は，

$$\phi_{F-INV} = \frac{m - D_H}{2m - 1} V_{DD} < \frac{1}{2} V_{DD} \quad (5)$$

となり， $vC^2MOS$  インバータの反転しきい値電圧  $V_{INV}$  を  $\phi_{F-INV}$  が下回るため， $V_{OUT}$  は L レベルを保持する．

一方，検索データと記憶データが完全一致の場合 ( $D_H = 0$ ) は，

$$\phi_{F-INV} = \frac{m}{2m - 1} V_{DD} > \frac{1}{2} V_{DD} \quad (6)$$

となり， $vC^2MOS$  インバータの反転しきい値電圧  $V_{INV}$  を  $\phi_{F-INV}$  が上回るため， $V_{OUT}$  は  $V_{DD}$  に上昇する．

この， $V_{OUT}$  を検出することで検索データと記憶データ間の完全一致の判別をすることが可能となる．

### 3.4 提案 CAROM のシミュレーション波形

Table 4 は，シミュレーションに用いたトランジスタの W 長，L 長を示したものである．

Table 4 Device Parameter.

	n-ch MOS	p-ch MOS	Unit
Channel Width W	3.75	1.0	$\mu\text{m}$
Channel Length L	0.4	0.4	$\mu\text{m}$

シミュレーションに使用したトランジスタは MOSIS から提供されている TSMC 社の  $0.35\mu\text{m}$  のデバイスパラメータを使用した．

Fig.8 は 1ワード 32ビット構成の提案 CAROM のシミュレーションした波形を示している．ただし， $V_{DD}$  は  $3.3[V]$  である．

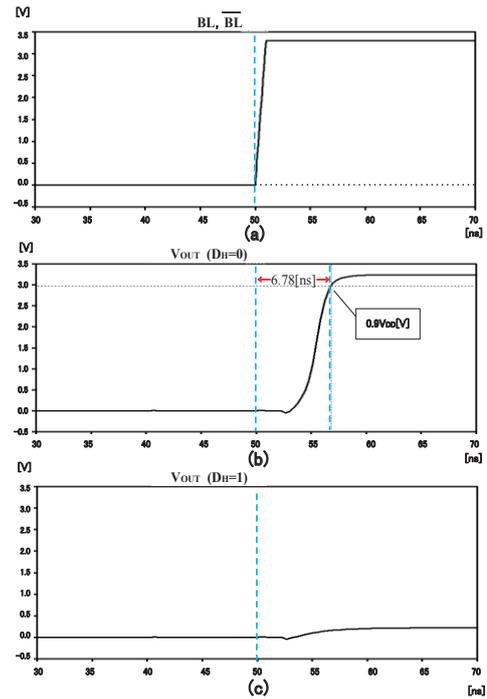


Fig.8 Simulated waveforms.

Fig.8 (a)は検索データとしてビット線に印加された電圧の波形である．Fig.8 (b)は完全一致 ( $D_H = 0$ ) 時の  $V_{OUT}$  波形である．Fig.8(c)は 1ビット不一致 ( $D_H = 1$ ) 時の  $V_{OUT}$  波形である．提案 CAROM では，完全一致した場合にのみ， $V_{OUT}$  が  $V_{DD}$  に上昇していることが，Fig.8(b)，(c)から分かる．

## 4. 検索時間

提案 CAROM では，完全一致時における出力電圧の振幅の最小値から最大値の 90% までの充電時間を検索時間とし，NAND 型では出力電圧の振幅の最大値からその 10% までの放電時間を検索時間とする．NOR 型の場合は，一致・不一致時の充放電動作が提案 CAROM や NAND 型に対して逆であり，1ビット以上の不一致で放電動作を行うため，完全不一致時と 1ビット不一致時における出力電圧の振幅の最大値から 10% までの放電時間を検索時間とする．また，NAND 型，NOR 型においては検索を行う際，事前にプリチャージ用キャパシタへの充電時間が必要となる．そのため検索時間にこの充電時間を加えた時間が，実際の検索に要する時間となる．

Table 5 Search time.

The number of bits	NOR type		NAND type	Proposed CAROM
	1 bit mismatch	All bit mismatch	All bit match	All bit match
16 bit	4.14[ns]	3.63[ns]	8.83[ns]	5.52[ns]
32 bit	4.15[ns]	3.65[ns]	14.7[ns]	6.78[ns]

Table 5 は、SPICE シミュレーションにより、NOR 型、NAND 型、提案 CAROM の検索時間を 1 ワード 16 ビットと 32 ビット構成でそれぞれをシミュレーションしたものである。ただし、 $V_{DD}$  は 3.3[V] である。検索時間は 16、32 ビット構成のどちらにおいても NOR 型が最も速く、次いで提案 CAROM、NAND 型の順番となった。NAND 型はビット数の増加に伴い検索時間が増加するのに対し、提案 CAROM はビット数が 16 から 32 ビットに増加しても検索時間は大きく変化せず NAND 型の半分以下の時間で検索が完了している。この結果から、提案 CAROM は 1 ワードを構成するビット数が増加しても、NAND 型より高速で検索できる事が明らかとなった。

## 5. ワード数を考慮した消費電力比較

Fig.9 は 1 ワード 32 ビット構成でワード数が増えた時の消費電力である。

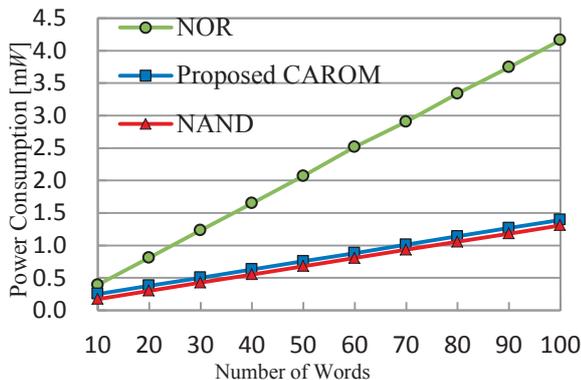


Fig.9 Power consumption vs the number of words.

最悪条件で比較を行うため 1 ワードのみが完全一致し、残りの全てのワードを全ビット不一致としてシミュレーションを行った。

NOR 型は不一致時にプリチャージ用キャパシタに蓄えられた電荷が放電されるため、不一致ビットがあるワードが増加するのに比例して消費電力も増加している。これに対して、提案 CAROM は 100 ワードまで不一致ビットがあるワードが増加しても NOR 型の 1/3 程度の増加に留まった。また、提案 CAROM は、NAND 型と比べるとほぼ同程度であるという結果が得られた。

## 6. まとめ

クロックドニューロン CMOS インバータを用いた CAROM を提案した。SPICE を用いたシミュレーションにより、提案 CAROM は、1 ワードを構成するビット数が増加しても NAND 型よりも検索速度（検索時間）に優れていることを明らかとした。また、提案 CAROM の消費電力はワード数が増加しても NOR 型よりも低消費電力であることを明らかとした。

## 参考文献

- 1) H. Yamada, M. Hirata, H. Nagai, and K. Takahashi, "A High-Speed String-Search Engine", IEEE Journal of Solid-State Circuits, Vol.SC-22, No.5, pp.829-834, Oct. 1987.
- 2) F.K. Gurkaynak, Y. Leblebici, and D. Mlynek, "A Compact High-Speed Hamming Distance Comparator for Pattern Matching Applications", Proceedings of 1998 European Signal Processing Conference(EUSIPCO) 1998, Sept. 1998.
- 3) Tadashi Shibata and Tadahiro Ohmi, "A functional MOS transistor featuring gate-level weighted sum and threshold operations, " *IEEE Trans. Electron Devices*, Vol. 39, No. 6, pp.1444-1455 (1992).
- 4) Yasoji Suzuki, Kaichiro Odagawa, and Toshio Abe, "Clocked CMOS calculator circuitry", Solid-State Circuits, IEEE Journal of (Volume:8, Issue: 6), pp.462-469, Dec 1973.
- 5) 小林 貴裕, 吉田 正廣: ニューロン CMOS インバータを用いた高速 NAND 型 CAM, 電子情報通信学会論文誌, Vol.J93-C, NO.5 p175-176, (2010-05-01)
- 6) Hisatada Miyatake, Masahiro Tanaka, and Yotaro Mori, "A Design for High-Speed Low-Power CMOS Fully Parallel Content-Addressable Memory Macros", IEEE Journal of Solid-State Circuits, Vol.36, No.6, June 2001.